

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USP 10)

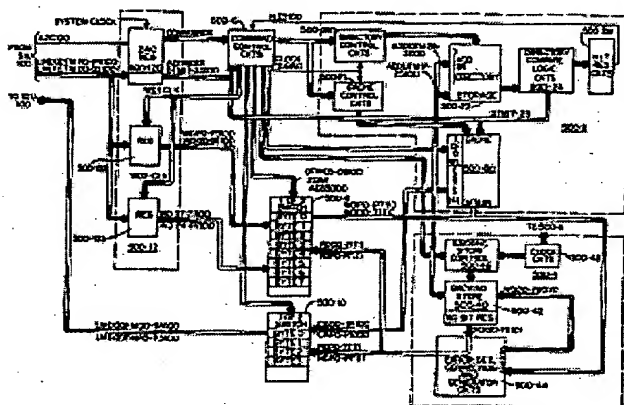
DATA PROCESSING SYSTEM HAVING CACHE MEMORY

Patent number: JP53108747
 Publication date: 1978-09-21
 Inventor: JIEIMU KOORU; ROORENSU DABURIYUU
 CHIERUBAAGU
 Applicant: HONEYWELL INF SYSTEMS
 Classification:
 - International: G06F15/00
 - european:
 Application number: JP19780017515 19780217
 Priority number(s): US19770769617 19770217

Also published as:

US4084234 (A1)
 GB1599837 (A)
 FR2381354 (A1)
 DE2806045 (A1)

Abstract not available for JP53108747



Data supplied from the *esp@cenet* database - Worldwide

⑨日本国特許庁

⑪特許出願公開

公開特許公報

昭53—108747

⑤Int. Cl.²
G 06 F 15/00

識別記号

⑥日本分類
97(7) H 0

庁内整理番号
6619—56

④公開 昭和53年(1978)9月21日

発明の数 3
審査請求 未請求

(全34頁)

⑤カッシエ記憶装置を含むデータ処理システム

①特 願 昭53—17515

②出 願 昭53(1978)2月17日

優先権主張 ③1977年2月17日③アメリカ国
(US)④769617

⑦発 明 者 ジエイム・コール
アメリカ合衆国アリゾナ州8530
6グレンデール・ウエスト・ウ
オルターン4723

同 ローレンス・ダブリュー・チエ

ルバーク

アメリカ合衆国アリゾナ州8502
1フエニックス・ウエスト・カ
ミノ・エイスキア4117

⑦出 願 人 ハネイウエル・インフオメーシ
ョン・システムス・インコーポ
レーテッド

アメリカ合衆国マサチューセツ
ツ州02154ウオルサム・スミス
・ストリート200

⑦代 理 人 弁理士 湯浅恭三 外1名

明 細 書

1. [発明の名称]

カッシエ記憶装置を含むデータ処理システム

2. [特許請求の範囲]

(1) 複数個のポートを有するシステム・インタ
ーフェース装置と、

前記の複数個のポートの各々に接続され、少く
とも1個のメモリー・モジュールと複数個の指令
モジュールとからなる複数個のモジュールとを設
け、前記指令モジュールの各々は、

メモリー・指令を生成するための指令生成装置を
有し、第1のタイプの各メモリー・指令は前記メモ
リー・指令を伴うデータが記憶されるべき前記メモ
リー・モジュールにおける場所を表示するアドレ
スを含み、

前記1つのメモリー・モジュールは、

前記メモリー・指令に回答して情報ワードのプロ
ックを記憶するためのカッシエ記憶装置と、

情報ワードを記憶し、各々が1ブロックを規定
する複数個のワード場所を含む補助記憶装置と、

(1)

前記カッシエ記憶装置と前記補助記憶装置に接
続されて該両記憶装置の作用を制御するための制
御回路装置とを含み、

該制御回路装置は、

前記の複数個の指令モジュールから前記メモ
リー・指令を受取るための前記1つのポートに接続さ
れた入力レジスタと、

前記指令を復号し、かつ前記補助記憶装置およ
びカッシエ記憶装置におけるメモリーの操作サイ
クルを開始するための信号を生成するため前記入
力レジスタ装置に接続される指令復号回路と、

前記インターフェース・ポートの1つに接続さ
れる入力データ・スイツチング装置とを有し、該
スイツチング装置は、前記第1のタイプのメモ
リー・指令を伴う前記データを受取るための第1の入
力装置と、前記第1のタイプの各指令に回答して
1操作サイクルの間読出されるワードを受取るた
め前記補助記憶装置に作用的に接続される第2の
入力装置と、前記カッシエ記憶装置と補助記憶装
置に結合される出力装置を有し、更に前記デー

(2)

スイッチング装置は、前記メモリ・操作サイクルの間前記補助記憶装置から読出された前記ワードに前記指令を伴う前記データを組み合わせる事から生じる更新データを前記出力装置に与え、

更に、前記制御回路装置は、各々が特定の情報ブロックが前記カッシー記憶装置のどこに記憶されているかを表示するブロックアドレスを記憶するための、前記カッシー記憶装置におけるブロック数と対応する複数のワード場所を含む登録簿記憶装置と、

前記メモリ・指令に回答して前記登録簿記憶装置から読出されるブロック・アドレスと、前記メモリ・指令の前記アドレスとを比較するため前記登録簿記憶装置と前記入力レジスタ装置とに接続され、真であるアドレス比較を表示する出力比較信号を発生する比較装置と、

前記比較装置と前記指令復号装置に接続され、前記第1のタイプの指令により指定される情報ワードのブロックが前記カッシー記憶装置に記憶される時を表示するため前記出力比較信号に回答し

(3)

記カッシー記憶セクションは、

前記ブロックを記憶するためのカッシー記憶装置と、

各々が特定の情報ブロックが前記カッシー記憶装置に記憶される事を表示するブロックアドレスを記憶するための、前記カッシー記憶装置のブロック数と同数の複数のワード場所を含む登録簿記憶装置と、

前記操作のメモリ・サイクルの間前記登録簿記憶装置から読出されるブロック・アドレスと前記指令の前記アドレスを比較する装置と前記登録簿記憶装置とに接続され、アドレス・マッチに回答して出力比較信号を生成する比較回路装置と、

前記比較回路装置と前記指令復号装置に接続され、前記出力比較信号に回答して作用し前記アドレス・マッチを表示するヒット信号を記憶するヒット・レジスタ装置とを有し、

前記局部メモリ・モジュールは、更に、

対応する数の補助記憶装置の操作サイクルの間前記メモリ・指令に回答してワード・ブロックを

(5)

てヒット信号を生成するヒット制御装置とを有し、

前記指令復号回路装置は、前記ヒット信号により条件付けされる時、前記カッシー記憶装置が前記更新データを同じアドレスに書込む事を可能にしてこれにより現行情報への迅速なアクセスを容易にするため、制御信号を生成する前記第1のタイプの各メモリ・指令に回答して作用する事を特徴とするデータ処理システム。

(2) 複数の指令モジュール間で1つの局部メモリ・モジュールへのアクセスを共有するための入出力システムにおいて、

前記各指令モジュールは、

メモリ・指令を生成するための指令生成装置を有し、各書込みメモリ・指令は前記指令を伴う多数のデータ・ワードが記憶される前記局部メモリ・モジュールにおける1つの場所を表示する1アドレスを有し、

前記局部メモリ・モジュールは、

情報ブロックを記憶してこれに対する迅速なアクセスを行うカッシー記憶セクションを有し、前

(4)

記憶するための補助記憶セクションと、

前記カッシー記憶セクションと、補助記憶セクションと前記各指令モジュールとに接続され、前記補助記憶セクションに記憶されたワード・ブロックを更新するため補助記憶装置の操作サイクルの読出し部分において、前記補助記憶セクションから読出されたワードと前記の数のデータ・ワードを組み合わせるための入力セクションと、

前記カッシー記憶セクションと、補助記憶セクションと、前記各指令モジュールとに接続された出力セクションと、

前記入力セクションと、出分セクションと、カッシー記憶セクションと、補助記憶セクションとに接続された制御回路セクションとを有し、該制御回路セクションは、

前記メモリ・指令を受取るため前記入力セクションに接続されたレジスタ装置と、

前記指令を復号し、前記補助記憶セクションとカッシー記憶セクションにおいて操作のメモリ・サイクルを開始するための信号を生成するため前

(6)

記入カ装置に接続される指令復号回路装置とを有し、

該指令復号回路装置は、前記ヒット信号により条件付けされる時、前記書込み指令に回答して作用し、前記カッシー記憶装置と補助記憶装置の両者が前記更新情報ワードを内部に書込みを可能にするため制御信号を生成する事の特徴とする入力システム。

(3) 各々が1ブロックのワード場所を規定する複数個のワード場所を含む、情報ワード記憶のための補助記憶装置と、

各々が1ブロックのワード場所を規定する複数個のワード場所を有する、情報ワード・ブロックを記憶するカッシー記憶装置と、

前記カッシー記憶装置におけるブロック数と同数であり、特定の情報ブロックが前記カッシー記憶装置のどこに記憶されるかを表示するブロック・アドレスを各々が記憶する複数個のワード場所を含む登録簿記憶装置と、

前記カッシー記憶装置と補助記憶装置に作用的

(7)

記補助記憶装置に接続された第2の入力装置と、

前記新データ・ワードを前記補助記憶装置から読出された前記ブロックの前記ワードと組み合わせる事から生じる前記ブロックの更新されたバージョンを与えるため前記カッシー記憶装置と補助記憶装置に接続された出力装置とを有し、

前記制御装置は更に、

前記各書込みメモリー指令に回答して前記登録簿記憶装置から読出されたブロック・アドレスと前記メモリー指令の前記アドレスを比較し、かつ真であるアドレス比較に回答して出力比較信号を生成するため前記登録簿記憶装置と入力レジスタ装置に接続された比較装置と、

前記書込み指令により更新されるべく指定されたブロック情報ワードが前記カッシー記憶装置に記憶される時を表示するため前記出力比較信号に回答してヒット信号を記憶するためのヒット・レジスタ装置とを有し、

前記指令復号回路装置は、前記ヒット信号により条件付けされる時、前記各書込み指令に回答し

(9)

に接続され、該両記憶装置の作用を制御するための制御装置とを設け、該制御装置は、

書込み指令を伴う多数の新データ・ワードを内部に書込むため操作のメモリー・サイクルの間前記ワード場所のどのブロックが照合されるかを指定するアドレスを含むよう符号化される各書込み指令とメモリー指令を受取るように接続される入力レジスタ装置と、

前記メモリー指令を復号するため前記入力レジスタ装置に接続され、各書込み指令に回答して、前記書込み指令により指定される前記新ワードを書込むための操作のメモリー・サイクルの間前記補助記憶装置とカッシー記憶装置を選択的に動作可能にするための制御信号を生成するよう作用する指令復号回路装置と、

入力データ・セレクト装置とを設け、該装置は、前記指令を伴う前記新データ・ワードを受取るための第1の入力装置と、

前記操作のメモリー・サイクルの読出し部分において読出されたブロックのワードを受取るため前

(8)

て作用し、前記操作のメモリー・サイクルの間前記カッシー記憶装置と補助記憶装置が同じアドレスにおいて前記更新ブロックの書込みを可能にするための制御信号を生成する事の特徴とするメモリー・システム。

3. [発明の詳細な説明]

本願に関する関連出願は次の通りである。

(1) 米国特許出願「バイパス機能を有する入力カッシー・システム」、発明者：J・カル (Galle), L.W. チェルバーグ (Chelberg)。

(2) 1976年11月18日出願の米国特許出願第742,814号「メモリー・アクセス・システム」、発明者：E.F. ウエラー (Weller) III世, M.G. ポータ (Porter)。

本発明は、データ処理システムに関し、特にカッシー記憶装置を含むデータ処理システムに関する。

一般に、カッシー記憶装置は要求されている情報の最も後に更新されたバージョンを提供する事が必要とされる。この事を確実にを行うためには、

00

従来技術の装置は、補助記憶装置に書込まれる情報の一部が変更される時必要なカッシー更新操作に関連する中央処理装置に行わせる。通常この事は、補助記憶装置において更新されつゝある情報が又カッシー内に記憶される事を登録簿が表示する時を信号するためカッシーの記憶登録簿に無効の表示をセットする事により行われる。その後、中央処理装置は、登録簿アドレスにより指定される情報が次にアクセスされる時古い情報がカッシー記憶装置内に生じる事のないように、カッシー記憶装置から古い情報を「フラッシュ」する事が必要となる。

前記の構成は、このような情報が多くのソース即ち装置により変更される場合に特に時間を消費するものである事が判つた。又、このような構成は前記のタイプの操作を行うために別の回路を必要とする。

従つて、本発明の主な目的は、カッシー記憶装置に記憶される情報を更新するための改善された装置の提供にある。

01

に応答して作用する制御装置を含んでいる。望ましい実施態様によれば、書込み指令により補助記憶装置に書込まれるよう指定される入力データを補助記憶装置から読出されたデータと組み合わせ、かつその結果をカッシーと補助の両記憶装置に入力として与える装置が設けられる。これにより、補助記憶装置に書込まれるものと全く同じデータがカッシー記憶装置に書込まれる事を保証する。

望ましい実施態様によれば、指令モジュールは、少くとも1つの入出力プロセサと1つのマルチプレクサ・モジュールを含み、本装置は、補助記憶装置に書込まれつゝある情報のアドレスがこの情報がカッシー記憶装置に記憶される事を表示する登録簿アドレスとマッチする時を検出するよう作用するカッシー記憶装置と関連する登録簿記憶装置の回路と対応する。前記の組み合わせを行う装置は、システム・インターフェース装置からの新しいデータと補助記憶装置からの古い出力データを受取るよう入力側を接続させたマルチ入力データ・セレクタ・スイッチに対応する。このセ

03

本発明の別の目的は、多数のソース即ち指令モジュールのいずれか1つにより更新ができるカッシー記憶装置の提供にある。

これ等の目的および他の目的は、多数の指令モジュールおよび1つの局部メモリー・モジュールを含む入出力システムを有する本発明の望ましい一実施態様において達成される。局部メモリー・モジュールは、補助記憶装置およびカッシー記憶装置を含んでいる。カッシー記憶装置は、補助記憶装置から前に取出された情報ブロックに対する迅速なアクセスを行う。望ましい実施態様のシステムは、更に各々が異なるモジュールの1つに接続される複数のポートを含むシステム・インターフェース装置を含んでいる。

前記局部メモリー・モジュールは、更に補助記憶装置への書込みを必要とする指令モジュールにより与えられる情報をして、制御装置内に含まれる装置が情報が前もつてカッシー記憶装置に書込まれる事を決定する時、カッシー記憶装置に書込まれる事を可能にするよう各書込みメモリー・指令

02

レクタ・スイッチは、結果として組み合わせられたデータを書込むためカッシーと補助記憶装置に与える出力側を有する。この構成のためデータ経路の数と組み合わせ回路の量が最少限度になる。

カッシー記憶装置に前もつて記憶され自動的にカッシー記憶装置に書込まれた情報における変化を表示する各メモリー・書込み指令を情報に伴わせる事により、時間を要するフラッシュ操作の必要をなくし、メモリー・システムの複雑さを最少限度にするものである。更に、本構成は、指令モジュールにより示される情報に対する迅速なアクセスを容易にする（即ち、「ヒット」率を向上する）。

概 要

第1図から判るように、本発明の原理を包含するシステムは、少くとも1つの入出力プロセサ対(P O)200-0、システム・インターフェース装置(S I U)100、高速マルチプレクサ(H S M X)300、低速マルチプレクサ(L S M X)400、上位プロセサ700、局部メモリー・モジュール500と主メモリー・モジュール

04

800に対応する多数のメモリー・モジュールを有する。これ等モジュールの異なる各々が、異なるタイプのインターフェース600乃至603の各々の複数の回線を経てシステム・インターフェース装置100の多数のポートの1つに接続している。特に、入出力プロセサ200と、上位プロセサ700と、高速マルチプレクサ300は各ポートG、EおよびAに接続し、低速マルチプレクサ400とメモリー・モジュール500、500aおよび800はそれぞれポートJ、LMOおよびRMOに接続する。

第1図の入出力システムは、多数の「能動モジュール」、「受動モジュール」、および「メモリー・モジュール」を含むように示される。IOPプロセサ200と、上位プロセサ700と、高速マルチプレクサ300は、各々が指令を発する能力を有する能動モジュールとして作用する。能動モジュールは、通常ポートA乃至Hと接続する。複数の受動モジュールは3つのポートJ、KおよびLと接続する。これ等のモジュールは、低速マ

05

述される如き装置の形態をとり得る。望ましい実施態様においては、入出力プロセサ200は、入出力命令の実行に必要なチャンネル・プログラムを開始終了し、システム・インターフェース装置100から受取る割込み要求を処理し、低速マルチプレクサ400に接続されるユニット・レコード周辺装置を直接制御する。プロセサ200は、データ・インターフェース600および割込みインターフェース602を経てポートHと接続する。

本発明の目的のためには構造上公知と考えられる低速マルチプレクサ400は、周辺アダプタを経て低速周辺装置の接続を可能とし、前記アダプタの各々は装置アダプタ・インターフェース(DAI)の回線に接続している。前記インターフェースとアダプタは、本発明の譲受人に譲渡された米国特許第3,742,457号に記述される装置の形態を有するものでよい。低速装置には、カード・リーダ、カード・パンチ、およびプリンタが含まれる。第1図から判るように、マルチプレクサ400はプログラム可能インターフェース

06

マルチプレクサ400およびシステム・インターフェース装置100と対応し、以下に記述する如くインターフェース601の回線に与えられる指令を解釈し実行する事ができる装置である。最後のグループのモジュールは、局部メモリー・モジュールと、インターフェース603の回線に与えられる2つの異なるタイプの指令を実行する事が可能な主システムの如きリモート・メモリー・モジュールを構成する。

第1図の入出力システムは、各々更に詳細に以下に記述するデータ・インターフェースとプログラム可能インターフェースとそれぞれ対応するインターフェース600および601を介して通常ポートFと接続する上位プロセサ700により生じる入出力命令に応答して入出力サブシステムとして作用する。ポートFとEは、第1図のマルチプレクサ又はプロセサ・モジュールのいずれかの接続を可能にするためのインターフェースを含む。

本発明の目的のため、プロセサ700は構造上は公知であり、米国特許第3,413,613号に記

07

601を経てポートJと接続する。

高速マルチプレクサ300は、チャンネル・アダプタ302乃至305の異なるものと接続するディスク装置およびテープ装置309乃至312のグループ間の転送を制御する。最大16個迄のチャンネル・コントローラ・アダプタ303乃至306は、更にチャンネル・アダプタ・インターフェース(CAI)301-1のインターフェースを経て異なるポート即ちチャンネル0乃至3と更に接続する。高速マルチプレクサ300は、データ・インターフェース600と、プログラム可能インターフェース601と、割込みインターフェース602とに対応するポートAに接続する。

本発明の目的に対しては各チャンネル・コントローラ・アダプタ302乃至305は構造上公知と考えられ、前述の米国特許第3,742,457号に記述されたコントローラ・アダプタの形態をとり得る。

前述の如く、各モジュールはシステム・インターフェース装置100の異なるポートと接続する。

08

この装置100は、対をなすモジュール間のデータおよび制御情報の転送を可能にする転送経路を経て異なるモジュールの相互の接続を制御する。本発明の目的に対しては、システム・インターフェース装置100は、要求側のモジュールが最高の優先順位を有しかつ次の利用可能なメモリー・サイクルを与えられる時、局部メモリー・モジュール500に対して「能動」モジュールの各々にデータの出入り転送を可能とするスイッチング回路網として考えられる。即ち、前述の如く、装置100は、各能動モジュールからの要求の相対的優先順位を決定する優先順位論理回路を含み、次に利用可能なメモリー・サイクルを受取つた最上順位の要求に与える。

更に、装置100は、各モジュールから受取る割込み要求の相対的順位を決定する割込み順位論理回路を含み、受取つた最高順位の要求を選択し、前述の如くスイッチング回路網を経てプロセッサ200に対して要求を送る。

ポート・インターフェース

49

複数個のSIUからのマルチポート識別子回線(MIFS0~3, P)、SIUからの2倍精度回線(DPFS)、および状況受入れ回線(AST)からなる。このインターフェース回線については更に詳細に以下の各項で記述する。

データ・インターフェース回線

記号	説 明
AOPR	能動出力ポート要求回線は各能動モジュールからSIU100迄延在する一方向性回線である。セットされると、この回線は、指令即ちデータが送られる転送経路をモジュールが要求する事をSIUに信号する。
DTS00~35, P0~P3	データ経路回線は、各能動モジュール間に延在する4バイトの巾の一方向性経路(4つの10ビット・バイト)であり、各能動モジュールからSIU100へ指令即ちデータを転送するために使用

20

第1図の各モジュールについて更に詳細に記述する前に、前に触れたインターフェース600乃至603の各々について第5a図乃至第5d図に関して以下に説明する。

最初に、第5a図において、同図は能動モジュールとシステム・インターフェース装置100との間に情報の交換を行うインターフェースの1つであるデータ・インターフェースを構成する各回線を示す事が判る。この交換作用は、「ダイアログ」と呼ばれる一連の信号に基いて編成される予め定めた規則に従つて各信号回線の論理的状態を制御する事により行われる。

第5a図から判るように、インターフェースは、能動出力ポート要求回線(AOPR)、複数個の対SIUデータ回線(DTS00~DTS35, P0~P3)、複数個の対SIU操向データ回線(SDTS0~6, P)、複数個の対SIUマルチポート識別子回線(MITS0~3, P)、受入れ能動要求回線(ARA)、読出しデータ受入れ回線(ARDA)、複数個のSIUからのデータバス回線(DFS00~35, P0~P3)、

20

される。

SDTS0~6, P 対SIU操向データ回線は各能動モジュールからSIU100迄延在する。これ等の回線は、回線AOPRがセットされる時操作制御情報をSIU100に与えるために使用される。操向制御情報は、下記の如く符号化される7ビットと1つのパリティ・ビットからなる。

- (a) ビット0の状態—DTS回線に与えられた指令のタイプ(指令がプログラム可能インターフェース指令又はメモリー指令かどうか)。
- (b) ビット1~4はどのモジュールが指令を受取り割込むかを表示するよう符号化される(指令はメモリー・モジュールによつてのみ解釈され、プログラム可能インターフェース指令は入出力プロセッサ200を除く全てのモジュールにより解

21

釈される)。

- (c) ビット5の状態は、指令情報の1又は2ワードが要求側の能動モジュールと表示された受取り側のモジュールとの間に転送されるかどうかを表示する。(1ワードは単精度転送を、2ワードは2倍精度転送を指定する。)

- (d) ビット6の状態は、要求側のモジュールと表示された受取りモジュール間の転送方向を表示する。

- (e) ビットPは、SIU100に含まれる装置により検査される要求側の能動モジュールにより生成されるパリティ・ビットである。

MITSO-3、P 4つの対SIUマルチポート識別子回線は能動モジュールからSIU100迄延在する。これ等の回線は、能動モジュール内のどのサブチャンネル又はポートが回線AOPR

(2)

路(4つの10ビット・バイト)である別のセットのデータ経路回線である。これ等の回線セットは、SIU100により使用され脱出しタイプ・データを能動モジュールの表示された1つに伝達する。

MIFS0-3、P 4つのマルチポート識別子回線プラス奇数パリティ回線は、SIU100から各能動モジュール迄延在する。これ等回線は、能動モジュールのどのポート即ちサブチャンネルがSIU100からの前の脱出し操作のデータを受入れるかを表示するよう符号化される。

DPFS SIUからの2倍精度回線は、SIUから各能動モジュール迄延在する。この回線の状態は、脱出されたデータの1つ又は2つのワードが能動モジュールにより受入れられて転送(脱出し指令)を完

(2)

のセッティングを惹起したかを表示するよう符号化されている。

ARA 受入れ能動要求回線はSIU100から能動モジュールの各々に延在する。この回線は、表示された受取り側のモジュールがデータ・インターフェース回線からの要求された情報をモジュールに取除かせる能動モジュールの要求を受入れた事を表示するようセットされる。

ARDA 脱出しデータ受入れ回線はSIUから各能動モジュール迄延在する。この回線はSIU100によりセットされて、能動モジュールに対してこれが表示されたモジュールから前に要求されたデータを受入れるべき事を表示する。

DFS00-35、P0-P3 SIUからのデータ回線は、SIUから各能動モジュール迄延在する4バイト巾の一方方向性の経

(2)

了するかどうかを表示する。

AST 受入れ状況回線はSIU100から各能動モジュール迄延在する。回線ARDAを互いに含まないこの回線の状態は、能動モジュールに対してDFS回線に与えられる状況情報を受入れるべき事を信号する、

第5の図に示されるプログラム可能インターフェース601の回線は、能動モジュールおよび表示されたモジュールからの指令情報の転送を行う。この転送は、「ダイヤログ」と呼ばれる一連の信号により編成される予め定めた規則に従い各種の信号回線の状態の論理回路を制御する事により行われる。プログラム可能インターフェースは、プログラム可能インターフェース指令受入れ回線(APC)、複数のSIUからのプログラム可能インターフェースデータ回線(PDFS00-35、P0-P3)、プログラム可能インターフェース使用可能回線(PIR)、脱出しデータ転送要求回線(RDTR)、複数の対SIUプログラム可能イン

(2)

ターフェース・データ回線(PDTS00~35, P0~P3)、および読出しデータ受入れ回線(RDAA)を含んでいる。インターフェース回線については以下に更に詳細に記述される。

プログラム可能インターフェース回線

表 示	説 明
APC	プログラム可能インターフェース指令受入れ回線は、SIU100 から各受取りモジュール迄延在する。セットされると、この回線はモジュールに対して指令情報がSIUによりインターフェースのPDFS回線に与えられた事、モジュールにより受入れられるべき事を信号する。

PDFS00~35, P0~P3 SIUからのプログラム可能インターフェース・データ回線は、SIU100 から各モジュール迄延在する4バイト巾の一方向性の経路(4つの10ビット・バ

(7)

用される。

RDTR	データ転送要求読出し回線は、プログラム可能インターフェースに接続された各モジュールからSIU100迄延在する。セットされると、この回線は、前に要求された読出しデータが1モジュールへの転送に使用でき、このモジュールにより回線PDTSに与えられた事を表示する。
------	--

RDAA	受入れられたデータ読出し回線はSIU100 から各モジュールに延在する。セットされると、この回線は、モジュールに対して回線PDTSに与えられたデータが受入れられた事、およびこのモジュールがこれ等の回線から情報を除去できる事を表示する。
------	---

別のインターフェースは、入出力プロセサ200により割込み処理を行第5c図の割込みインタ

(8)

イト)である。これ等回線は、システム・インターフェースから表示される受取りモジュール迄プログラム可能インターフェース情報を与える。

PIR	プログラム可能インターフェース使用可能回線は各モジュールからSIU迄延在する。セットされる時、この回線は、このモジュールが回線PDFSに与えられるべき指令を受入れる用意がある事を表示する。
-----	--

PDTS00~35, P0~P3 対SIUプログラム可能インターフェース・データ回線は、各モジュールからSIU100迄延在する4バイト巾の一方向性の経路(4つの10ビット・バイト)である。これ等回線は、プログラム可能インターフェース情報をSIUに対して転送するために使

(9)

フェース602である。即ち、このインターフェースは、処理のためSIU100による入出力プロセサ200に対する割込み情報の転送と同様にSIU100に対する能動モジュールによる割込み情報の転送を可能にする。他のインターフェースと同様に、割込み要求の転送は、「ダイアログ」と呼ばれる一連の信号により編成された予め定められた規則に従って各種の信号回線の論理状態を制御する事により行われる。

このインターフェースは、割込み要求回線(IR)、複数個の割込みデータ回線(IDA00~11, P0~P1)、およびポートA乃至Lに接続されたモジュールに対する複数個のマルチポート識別子割込み回線(IMID00~03)を有する。ポートGおよびHに接続されるモジュールに対しては、割込みインターフェースは更にレベル零存在回線(LZP)に対して、更に上位の割込み存在回線(HLIP)、割込みデータ要求回線(IDR)、解放回線(RLS)、および複数個の能動割込みレベル回線(AILO~2)を含んでいる。第5c図から判るように、割

(10)

込みインターフェースポートGおよびHは割込みマルチポート識別子回線は含まない。割込みインターフェース回線については以下に更に詳細に記述する。

割込みインターフェース回線

記号	説 明
I R	割込み要求回線は各モジュールからSIU100迄延在する。セットされると、この回線はSIUに対してサービスを必要とする事を表示する。
IDA、0~3、P0 IDA4~11、 P1	割込みデータ回線は能動モジュールからSIU100迄延在する。これ等回線は、割込み要求がプロセサにより受け入れられた時入出力プロセサに転送されるべく要求される制御情報を含むよう符号化される。これ等ビットは下記の如く符号化される。即ち、 (a) ビット0の状態は2つのプロセサ
L Z P	100迄延在する。これ等回線は、能動モジュールのどのサブチャンネルが割込みサービスを要求したかを識別するよう符号化される。レベル零存在回線はSIU100から入出力プロセサ200迄延在する。セットされる時、この回線はSIU100によりプロセサ200に指向される最高順位(レベル0割込み)要求がある事を表示する。
HLIP	より上位のレベル割込み存在回線はSIUから入出力プロセサ迄延在する。セットされる時、この回線は、プロセサ200により実行されつゝある手順即ちプロセスよりも高いレベル即ち優先順位を有する割込み要求がある事を表示する。
IDR	割込みデータ要求回線は入出力プロセサ200からSIU100迄延

(3)

の内のどちら(即ち、プロセサ番号)が割込み要求を処理すべきかをSIU100に対して指定する。

(b) ビット1~3は割込み要求の優先順位即ちレベル番号をSIU100に対して表示するよう符号化される。

(c) ビットP0はビット0~3に対するパリティ・ビットである。

(d) ビット4~8は、割込みを処理するための適正な手順を照合するための入出力プロセサ200により生成される事を要求されたアドレスの一部(即ち、割込み制御ブロック番号ICBN)を与えるよう符号化される。

(e) ビットP1はビット4~11に対するパリティ・ビットである。

IMID00~03 マルチポート識別子割込み回線は各能動モジュールからSIU

(3)

に延在する。セットされると、この回線は割込みデータがSIU100により回線DFS上のプロセサに対して送られるべき事を表示する。

RLS 解放回線は入出力プロセサ200からSIU100迄延在する。この回線は、セットされる時、プロセサ200が現行手順の実行を完了した事を表示する。

AIL0~2 能動割込みレベル回線はSIUから入出力プロセサ200迄延在する。これ等回線は、プロセサ200により実行されつゝある手順の割込みレベル番号を表示するよう符号化される。

第1図のモジュールのあるものにより使用される最後の割込み回線のセットは第5.d図の局部メモリー・インターフェース回線に対応する。局部メモリー・インターフェース603は、局部メモリー500とシステムの各モジュール間に情報の

(3)

交換を行う。この交換は、「ダイアログ」と呼ばれる一連の信号により編成される予め定められた規則に従って各種の信号インターフェース回線の論理的状態を制御する事により行われる。局部メモリ・インターフェースは、複数個の対メモリ・データ回線(DTM00~35, P0~P3)、複数個の対メモリ・要求識別子回線(RITM0~7, P0~P1)、複数個の対メモリ・指定回線(SLTM0~3, P)、PI指令受入れ回線(APC)、ZAC指令受入れ回線(AZC)、PIインターフェース使用可能回線(PIR)、ZACインターフェース使用可能回線(ZIR)、データ転送要求読出し回線(RDTR)、複数個のメモリからのデータ回線(DFM00~35, P0~P3)、複数個のメモリからの要求識別子回線(RIFM0~7, P0~P1)、対メモリ・2倍精度回線(DPFM)、QUAD回線、受入れデータ読出し回線(RDAA)、およびシステム・クロック回線(SYS-CLK)を含んでいる。

メモリおよびプログラム可能インターフェース指令は、インターフェースの同じ物理的データ

39

構成する。これ等の回線は、指令を開始したモジュールを識別する局部メモリに対して情報を伝えるよう符号化され、適正なモジュールに対して要求されたデータを戻すために使用される。

SLTM0~3, P この対メモリ・指定回線はSIU 100から局部メモリ・500迄延在し、対メモリ・読出し/書込み回線、対メモリ・2倍精度回線、およびパリティ回線を含む。これ等の回線に与えられる情報信号は下記の如くである。即ち、

(a)ビット0~1は、付属モジュール内のどのポート即ちサブチャンネルがモジュールに送られたメモリ・指令を受取り又は前込むかを指示するよう符号化されたポート番号選択ビットである。

(b)ビット2は、新しい指令がSIU

39

回線から転送される。インターフェースは、読み取り要求を処理するための1組の回線を含まず、従ってSIU100により局部メモリに接続されるモジュールはメモリ・割込みを直接惹起し得ない。局部メモリ・インターフェース回線については以下に更に詳細に記述する。

局部メモリ・インターフェース回線

記号	説明
----	----

DTM00~35, P0~P3	データ経路回線は、SIU 100から局部メモリ・500迄延在する4バイト巾の一方向性の経路(36個の情報回線および4つの奇数パリティ回線)を構成する。これ等回線はメモリ・即ちプログラム可能なインターフェース指令を局部メモリ・500に転送するため使用される。
-----------------	--

RITM0~3, P0	対メモリ・リクエスト識別子は、SIU100から局部メモリ・500迄延在する2グループの4回線を
-------------	---

39

100によりメモリに送られる時、局部メモリ・500に対してSIUにより前送される能動モジュールから受取る操作制御情報に含まれる対メモリ・読出し/書込みビットである。このビットの状態はデータ転送の方向を表示する。

(c)ビット3は、転送されるべきデータ量を指示するよう符号化された対メモリ・2倍精度ビットである。又、これは、新しい指令がメモリ・モジュールに送られる時SIU100により局部メモリ・モジュール500に前送される能動モジュールにより与えられる操作制御情報にも含まれる。

A Z C	ZAC指令受入れ回線はSIU100から局部メモリ・モジュール500迄延在する。セットされると、この回線は局部メモリ・モ
-------	---

39

ジュール500に信号してSIU
100により他の回線に与えられ
るZAC指令および制御情報を受
入れる。このインターフェース回
線のセッティングは、PI指令イ
ンターフェース受入れ回線を用い
て相互に排他的である。

APC

プログラム可能インターフェース
に関連して記述した如く、プログ
ラム可能インターフェース指令受
入れ回線はSIU100から局部メモ
リ・モジュール500に迄延在
する。セットされると、この回線
は、回線DTMに与えられた指令
情報が局部メモリ・モジュール
500により受入れられるべき事
を表示する。

PIR/ZIR

プログラム可能インターフェース
使用可能回線/ZACインターフ
ェース使用可能回線は、局部メモ

(39)

4バイト巾の一方方向性バスである。
これ等の回線は、SIU100を介
して能動モジュールに読出し要求
タイプデータを戻すのに使用され
る。

RIFM0-3, P0

RIFM4-7, P1

メモリ・からのリクエスト識別子
の2つのグループは局部メモリ
からSIU100迄延在する。これ
等の回線は、読出しデータをモジ
ュール500から逆に要求側モジ
ュールに指向するために符号化さ
れている。

DPFMとQUAD

メモリ・からの2倍精度回線およ
びQUAD回線は局部メモリ・モジ
ュール500からSIU100迄延
在する。これ等回線は、読出しデ
ータ転送要求時間間隔において
SIU100を介して要求側のモジ
ュールに転送されるべきワード番
号を表示するように符号化される。

(40)

RDTR

リ・モジュール500からSIU
100迄延在する。セットされる
と、各回線は、SIU100に対し
て、局部メモリ・モジュール
500はプログラム可能インター
フェース(PI)/メモリ・(ZAC)
指令を受入れる事ができる事を信
号する。

データ転送要求読出し回線は、局
部メモリ・モジュール500か
らSIU100迄延在する。この回
線は、セットされると、ZAC又
はPI指令により前に要求された
読出しタイプデータがデータを要
求するモジュールに送られるべき
必要な制御情報に沿って使用可能
である事を表示する。

DFM00-35, P0-P3

メモリ・からのデータ回線
は、局部メモリ・モジュール
500からSIU100迄延在する

(41)

これ等の回線は下記の如く符号化
される。即ち、

QUAD DPFM

0	0	1ワード、単精度
0	1	2ワード、2倍精度
1	X	4ワード (何でもよい)

DSD

読出しデータ/状況識別子回線は
局部メモリ・モジュール500
からSIU迄延在する。この回線
の状態は、SIU100に対して、
回線DFMに与えられる情報が読
出しデータ又は回線RDTRがセッ
トされる時の状況情報であるかど
うかを信号する。セットされると、
この回線は1ワード又は2ワード
(QUAD=0)の状況情報が転送さ
れつつある事を表示する。2進数
等にセットされると、この回線は
4ワード迄のデータが転送されつ

(42)

つある事を信号し、この番号は回線QUADおよびDPFMの符号化により指示される。

RDAA

プログラム可能ターミナルに関して記述した如く、受入れデータ読出し回線はSIU100から局部メモリー・モジュール迄延在する。セットされると、この回線は、メモリー・モジュールに対して、局部メモリー・モジュールによりインターフェース回線に与えられたデータが受入れられた事、および局部メモリー・モジュールがこれ等回線からのデータを除去することを信号する。

SYS-CLK

システム・クロック回線は、SIU100からシステムの各モジュール迄延在する回線である。この回線は、入出力プロセサ200に内蔵されるクロック・ソースに接続

(43)

されたマイクロプログラムの制御下で演算論理操作を行う処理セクション204とを含む。このプロセサ対の構成のためシステムの信頼度が保証されるが、これについては前掲の米国特許出願において詳細に記述されている。

制御記憶セクション201

各セクションについて更に詳細に考察すれば、制御記憶装置201-10は例えば読出し専用メモリ(ROM)を用いる固定セクションからなっている。記憶装置201-10は、セレクト・スイッチ201-14に与えられる8つのアドレス・ソースのいずれか1つからの信号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に読込まれ、ブロック201-16内に含まれるデコーダ回路により復号される。

更に、図示の如く、レジスタ201-15の内容のマイクロ命令の各フィールドの1つからの信号は、制御記憶装置201-10に対して8つの入力ソースのどれがアドレスを与えるかを選択す

(44)

されて共通のシステム・クロック

・ソースから各メモリー・モジュールの各操作を同期する、

第5a図乃至第5d図は、第1図のシステムの異なるモジュールをSIU100に接続する回線を示すが、他の回線が又例えばエラー条件および操作条件等の他の条件を信号するため含まれている事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の理解に関するモジュールの各々については以下に更に詳細に記述する。

入出力プロセサ対200-0の詳細

第2図において、対POの各プロセサ200は、命令を実行するための制御記憶装置201-10に記憶されたマイクロ命令にตอบสนองして制御信号を生成するよう作用するマイクロプログラムされた制御セクション201と、局部メモリー・モジュール500から取出された命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、制御記憶装置201-10に記憶

(44)

するためのスイッチ201-14に対する入力として与えられる。レジスタ201-15に読出されたマイクロ命令は、制御記憶装置201-10を適当なマイクロプログラム・ルーチンに対して分岐させるアドレス常数を含んでいる。

第2図から判るように、8つの制御記憶装置のアドレスソースには次のものが含まれる。即ち、システム・インターフェース装置100とプロセサ200に含まれる諸回路により与えられる信号から得る割込み/例外信号、加算回路201-24を経てレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置、戻りレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置、メモリー出力レジスタ201-4を介してバスファインダ・メモリー201-2からアドレスを受取る実行アドレス・レジスタ位置、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置、および出力レジスタ201-15から一定数値を受取る定数位置である。

(45)

1つのオペランド入力としてスイッチ201-14により選択されるソースの1つからのアドレス信号を受取り、他のオペランド入力としてブロック201-26のスキップ制御回路からの信号を受取る加算回路201-24により適当な次のアドレスが生成される。このスキップ制御回路は制御記憶レジスタ201-15に記憶された定数信号により条件付けされ、前記レジスタ201-15は更に加算回路201-24に対するオペランド入力の1つとして適当な値を与える。加算回路201-24により生成される結果のアドレスは、スイッチ201-14により与えられるアドレスとブロック201-26のスキップ制御回路により与えられる定数信号の和を表示する。要約すれば、スイッチ201-14の各位置は制御記憶装置201-10から読出されたマイクロ命令に回答して選択されて、プログラム命令のOPコードにより指定される操作の実行に必要とされる制御記憶装置201-10に記憶されるマイクロプログラムに対する適当なアドレスを与える。命

(47)

み(LZPおよびHLIP)の存在を表示する信号回線は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りにマイクロ命令の割込みシーケンスの選択を照合させる。

「例外」を表示する信号回線は、スイッチ201-14と関連する制御回路(図示せず)に与えられ、例外/割込み位置の選択を惹起する。この動作はマイクロ命令の例外シーケンスを照合するためのアドレスを与える。実行のタイプに従つて、連続するプログラム命令の実行が阻止されねばならないか不可能である(例、障害、違法命令)ためこの例外は即時処理し得る。例外は条件が即時のアテンション(例、タイム・アウト、桁あふれ等)を必要としないプログラム命令の実行の完了と同時に処理される。前述の如く、例外の発生は、スイッチ201-14の例外/割込み位置を選択させ、プロセス制御レジスタ204-22における適当なビット位置のセッティングを惹起する。

第1図にPDAとして示されるタイミング信号は、プロセッサ200の他のセクションの操作のた

(48)

めのタイミング信号と共に制御セクション201に対する適当なメモリの操作サイクルを確保するため必要とされ、第1図のシステムの他のモジュールはブロック201-30内に含まれるクロック回路により提供される。本発明の目的においては、クロック回路は第2図の他の回路と共に構造上公知と考えられ、例えば1972年にテキサス・インスツルメンツ社により刊行された「設計技術者のための集積回路カタログ」なる文献に開示された回路形態をとる事ができる。更に、このクロック回路は水晶制御による発振器とカウンタ回路を有し、スイッチ201-14は複数個のデータ・セレクト/マルチプレクサ回路を有するものでよい。

割込みはプログラム命令の実行完了時に処理される。第2図から判るように、高レベル割込み存在(HLIP)およびレベル零割込み(LZP)回線は信号をスイッチ201-14に与える。HLIP回線に与えられた信号はプロセス制御レジスタ204-22からの割込み禁止信号と「AND」され、その結果はLZP回線に与えられた信号とORされる。高レベル割込み存在信号が禁止されず、即ちLZP回線に信号が与えられる時、スイッチ201-14に接続された諸回路(図示せず)からの信号は実行/割込み位置を選択する。割込

(49)

めのタイミング信号と共に制御セクション201に対する適当なメモリの操作サイクルを確保するため必要とされ、第1図のシステムの他のモジュールはブロック201-30内に含まれるクロック回路により提供される。本発明の目的においては、クロック回路は第2図の他の回路と共に構造上公知と考えられ、例えば1972年にテキサス・インスツルメンツ社により刊行された「設計技術者のための集積回路カタログ」なる文献に開示された回路形態をとる事ができる。更に、このクロック回路は水晶制御による発振器とカウンタ回路を有し、スイッチ201-14は複数個のデータ・セレクト/マルチプレクサ回路を有するものでよい。

前記の事から、殆んどのマイクロプログラム化された制御装置における如く、制御記憶装置201-10は各プロセッサの操作サイクルに対して必要な制御を行う。即ち、1操作サイクルとの間に制御記憶装置201-10から読出された各マイクロ命令ワードは多数の別個の制御フィールドに分

(50)

割され、前記フィールドは、異なるスクラッチパッド・メモリのアドレス指定およびオペランドの選択のための第2図の各セクタ・スイッチに対する必要な入力信号と、分岐のための各テスト条件を指定する信号と、セクション204の加算/シフト装置の操作を制御するための信号と、指令を生成するのに必要な制御情報を与える信号とを与える。制御セクション201の操作に関する更に詳細な内容については、本願発明の譲受人に譲渡されたG・W・バターンソン等の米国特許第4,001,788号「バスファインダ・マイクロプログラム制御システム」を参照されたい。又、本明細書の願書に引用した各出願も参照されたい。

命令バッファ・セクション202

このセクションは局部メモリ・モジュール500から取出されレジスタ204-18のデータを介して与えられる命令の4ワード迄を記憶するための複数のレジスタ202-2を含んでいる。レジスタ202-2のグループは、2つの出力即ち現行命令流出し出力(CIR)と次の命令

61

える8位置のデータ・セクタ・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位ビット位置は8組のレジスタ(即ちレベル)の1つを選択し、残りの4ビットは前記16個のレジスタの1つを選択する。SIU100により活動割込みレベル(AIL)回線に与えられた信号は、3つの最上位ビットをスクラッチパッド・アドレス入力203-12に与える。残りの信号はIRSWを介して与えられた命令から制御記憶レジスタ201-15即ちフィールドにより与えられる。

書込みアドレス・レジスタ203-22はスイッチ202-4を経てロードされ、レジスタ201-15に含まれるマイクロ命令の各フィールドの1つにより表示される如き現行プログラム命令のビット9~12又はビット14~17のいずれかに対応する信号を記憶する。従つて、書込みアドレスレジスタは、スクラッチパッド・メモリ203-10の汎用レジスタの1つに結果をロード即ち戻すためのアドレス記憶域を提供する。書

63

読出し出力(NIR)を与えるよう構成された2位置命令レジスタ・スイッチ202-4に接続されている。半ワード又は全ワードに基く命令ワードの選択は、ブロック204-12の作業レジスタの最初のものに通常記憶される現行命令カウンタ(IC)のビット位置の状態に従つて行われる。本発明の目的のためには、この構成は構造上公知のものと考えられる。

記憶セクション203

第2図から判るように、このセクションは、各々8つの優先レベルの1つを割当てられた8つの異なるプロセスと関連する8組即ち8グループのレジスタを有するスクラッチパッド・メモリからなる。最上位の優先レベルはレベル0であり、最下位の優先レベルはレベル7である。各グループ即ちレベルは前述の如くに使用される16個のレジスタを含んでいる。

スクラッチパッド・メモリ203-10は、8つのソースのいずれかからアドレス入力203-12に対して7ビットのアドレスを選択的に与

62

込み操作は、クロックされる書込みフリップフロップ(図示せず)の2進数1への切換えに回答するか、レジスタ201-15にロードされるマイクロ命令の1フィールドに回答して生じる書込みクロック信号の生成と同時に生じる。書込みフリップフロップにより生成される時、この書込みクロック信号は、次のPDAクロックパルスの発生と同時に書込みフリップフロップが2進数零にリセットされる時に生じる。この動作は、次の命令の処理の開始時に生ずるプログラム命令に関する書込み操作の発生を許容する。

書込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する度に信号を出力回線上に生じるよう作用するセクタ・スイッチ203-14を介してデコーダ回路網203-28に与えられる。この信号は、書込みフリップフロップが2進数1の状態にある時、ゲート回路(図示せず)により書込みクロック・パルスの生成を禁止する。更にデコーダ回路網203-28はプロセス状態レジ

64

スタ204-20からモード信号を受取る。プロセサ200がマスター・操作モード又はスレーブ操作モードにあるかどうかを表示する信号の状態は出力信号と「AND」され、プロセス制御レジスタ204-22に対する入力として与えられる別の出力回線上で例外信号を生じるために使用され、スイッチ201-14の例外割込み位置の選択を遂行する。前述の如く、この作用はスクラッチパッド・メモリ-203-10のプロセス状態レジスタ場所(GR0)の内容の変更を阻止する。

アドレス指定されたレジスタ場所の内容は第1の2位置データ・セクタ・スイッチ203-18を介してスクラッチ・バッファ・レジスタ203-16に読出される。次にこのバッファ・レジスタ203-16の内容は別の2位置データ・セクタ・スイッチ203-20を介して処理セクション204に選択的に与えられる。データ・セクタ・スイッチ203-14、203-18、および203-20の各々の各位置は、レジスタ201-15に読出されたマイクロ命令に含まれ

59

は照合のため必要なプロセス状態レジスタの内容に対するアクセスの頻度のため、このレジスタの内容を表示する信号は処理セクション204のレジスタの1つ(即ち、レジスタ204-20)に記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、割込みの発生と同時にセクション204のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは更に関連するプロセスの現行命令のアドレスを記憶するための命令カウンタ(汎用レジスタ1)を含んでいる。更に、各グループのレジスタは、ページテーブル基底レジスタ(汎用レジスタ15)と、オペランドおよびアドレス情報のための一時的記憶を与えるための多数の汎用レジスタ(汎用レジスタ2-14)を含んでいる。このスクラッチパッド・メモリ-203-10は又、局部メモリ・モジュール500に記憶される例外制御ブロックおよび割込み制御ブロック・テーブルのベースを指示する絶

60

る異なるフィールドにより選択可能である。スクラッチパッド・メモリ-203-10は、ブロック204-12の4つの作業レジスタのいずれかに選択的に接続された1対の出力バスの1つから与えられるデータ信号を受取る。

16個のレジスタの各組は、現行プロセスの制御に必須の情報を記憶するためのプロセス状態レジスタ(PSR)場所(汎用レジスタ0)を含んでいる。レジスタの最初の8ビット位置は割込みモジュールを識別するよう符号化された操向情報を記憶する。次の位置は、操作のモード(即ち、マスター又はスレーブ)を識別するよう符号化された特権ビット位置である。このレジスタは又、レジスタ内容が変更できるかどうかを表示するよう符号化された外部レジスタ・ビット位置と、アドレス・モード・ビット位置と、2つの条件コード・ビット位置と、桁送りビット位置と、関連するプロセスが活動中(即ち、「プロセス・タイマー」として作用)周期的に減分されるカウントを記憶するための22ビット位置とを含む。変更又

61

対アドレスを記憶する制御ブロック・ベース(CBB)レジスタ場所を含んでいる。決して変更されない最上位優先順位レジスタの組(レベル0)の第1のレジスタGR0は、制御ブロック・ベースの情報を記憶する。割込み制御ブロック(ICB)テーブルは、割込みのタイプを処理するための情報を記憶する256グループの記憶場所を含んでいる。例外制御ブロック(ECB)テーブルは、例外のタイプを処理するための情報を記憶する16グループの記憶場所を含んでいる。

例外は、16の例外処理ルーチンの1つにプロセサ200を自動的に入れるプロセサ検出条件である。この例外条件は、プロセサがマスター・モードに入る時プログラム命令のビット10-13に対応する4ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号(ECB#)は、例外処理ルーチンを指示する4ワード例外制御ブロック(ECB)の1つの識別に使用される。ECBのバイト・アドレスは、制御ブロック・ベース(CBB)-16(ECB#

62

+1)に等しい。各ECBは、プロセサ200が例外ルーチンに入る前に現行プロセスに関する情報を記憶するためのスタック域として作用する保管域ポインタに加え、PSR、ICおよびPTBRレジスタをロードする値を含んでいる。

割込み制御ブロック(ICB)のアドレスは、制御ブロック・ベース(CBB)+16(ICB#)に等しい。このICB#は前述の割込みワードから得られる。同様に、ICBは4ワード・ブロックであり、PSR、IC、GR14およびPTBRレジスタに対する値を含んでいる。

処理セクション204

このセクションは、プログラム命令の処理に必要な演算論理操作の全てを行う。該セクション204は、1対の36ビットのオペランドに対して演算、シフトおよび論理的操作を行う事が可能な加算/シフト装置204-1を含む。本装置204-1の加算装置部分又はシフト装置部分のいずれかにより生じた結果はマイクロ命令に宛答して選択され、その後ブロック204-12の作

69

およびスクラッチパッド・バッファ入力スイッチ203-18)からロードできる。このレジスタがロードされると、レジスタをロードするため必要な番込み信号はレジスタ201-15に脱出されるマイクロ命令に含まれるフィールドにより確立される。

第2図から判るように、前記レジスタは1対の出力バスWRPとWRRに接続される。バスWRPはアドレス入力204-5と、スイッチ203-18と、スクラッチパッド・メモリ-203-10に接続する。バスWRRはAオペランド・スイッチ203-20と、Bオペランド・スイッチ204-1と、レジスタ204-20と、レジスタ204-22に接続する。バスWRRおよびWRPに対して接続するため選択されたレジスタは、レジスタ201-15に脱出されたマイクロ命令内に含まれる1対のフィールドにより示される。

第2図から判るように、処理セクション204はプロセス制御レジスタ204-20とプロセス制御レジスタ204-22を含んでいる。前述の

業レジスタのいずれか1つおよびデータ出力レジスタ204-14に対して1対の出力回線上の4位置データ・セクタ・スイッチ204-8を介して選択的に転送される。データ出力レジスタ204-14はプロセサ・データ・インターフェース600の回線に接続する。

本発明の目的に対しては、加算/シフト装置204-1は構造上公知のものとする事ができる。又、同装置204-1は、J・P・スタッフオード(Stafford)の米国特許第3,811,039号に開示された如き回路又は本明細書に引用された他の米国特許出願に開示された回路のいずれかを含んでもよい。

ブロック204-12は、命令カウンタのためおよび命令の実行中アドレスのための一時的記憶を提供する4つの作業レジスタR0乃至R3を含んでいる。このレジスタは、スイッチ204-8に接続されたソースの内のいずれか1つ(即ち、加算/シフト装置204-1、アドレス・スイッチ204-6、PSR/PCRスイッチ204-24、

60

如くプロセス状態レジスタ204-20は出力バスWRRを介してスクラッチパッド・メモリ-203-10からロードされる。プロセス制御レジスタ204-22は8つの全ての割込みレベルに共通の36ビット・レジスタである。

プロセス制御レジスタ204-22のビット位置は下記の情報を含んでいる。ビット位置0~8は下記を含む異なるタイプのマスター・モードでない例外を表示する。即ち、

PCRビット位置	例 外 タ イ プ
0	未完了操作、回線ARA又はARDA上のSIU100からの応答なし
1	ページ・アドレスは障害状態(キー検査)
2	ページ・アクセス障害
3	ページはメモリ・中に存在せず
4	違法操作
5	プロセス・タイマーはランアウト
6	桁あふれ
7	ロックアップ障害

61

60

8 アドレス位置合せ不良

「障害」なる用語は必ずしもハードウェアの故障発生を意味するものでなくエラー条件等も含むものである。

ビット位置9～15はパリティ・エラーの場所を識別し、ビット位置23～26はPNIDおよびAIL回線から受取ったプロセッサ番号とレベルを識別する。ビット位置27は割込み禁止ビット位置であり、ビット位置28～35は2進数1にセットされる時ビット位置に対応するレベル(例、ビット28=レベル0)における割込みを表示する割込み要求ビットを記憶する。ビット位置27～35は出力バスWRPを介してブロック204-12のレジスタ列からのプログラム命令によりロード可能である。レジスタ204-20と204-22の各々の内容は、2位置データ・セクタ・スイッチ204-24を介して4位置データ・セクタ・スイッチ204-8の位置の他の1つに対して入力として選択的に与えられる。レジスタ204-20は又、2位置操向セクタ・スイ

63

あるか、又読出し操作サイクルか書き込み操作サイクルであるかどうか表示するよう符号化されたマイクロ命令のフィールドの1つのビットに対応する。1メモリ・サイクルの開始即ち1指令の開始と同時に、操向スイッチ204-10からの信号はプロセッサ200のデータ・インターフェース600の適当な回線に対して信号を与える操向レジスタ204-16にロードされる。前に述べたように、別の操向情報を含む指令はPI指令の場合におけるアドレス・スイッチ204-6の位置2により与えられる。

又第2図から判るように、処理セクション204は、WRPバスに接続されたレジスタの1つからアドレス信号を受取るアドレス入力204-5を介してアドレス指定可能なスクラッチパッド・メモリ-204-4を含んでいる。スクラッチパッド・メモリ-204-4は、局部メモリ・モジュール500をアドレス指定するための絶対アドレスの生成に使用される8つの割込みレベルの各々に対してページ・テーブル・アドレス記憶を提

65

ツチ204-10と4位置アドレスセクタ・スイッチ204-6のPI位置に接続する。

操向スイッチ204-10は、適正モジュールに対して指令を転送するため使用されるSIU100に操向情報を与える。レジスタ201-15に読出されたマイクロ命令に含まれるフィールドの1つはメモリ・指令又はPI指令のいずれかに対して適当な位置を選択する。メモリ・指令のための操向情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリ-204-4からのページを付したアドレス情報又はバスWRPからの絶対アドレス情報を用いて生成される。

R/W指令に対しては、操向情報は下記の如く生成される。即ち、ビット0はR/W指令に対する2進数零であり、ビット1は局部/リモート・メモリを規定しかつPTWビット0(ページ付き)又はWRPビット0(絶対)に対応する。ビット2～4はPTW1～3(ページ付き)又はWRPビット1～3(絶対)に対応する。ビット5～6は、これが単ワード又は2倍ワード転送で

64

供する。アドレス指定される時、スクラッチパッド・メモリ-204-4の記憶場所の内容は、アドレス・スイッチ204-6の4位置の内2つに読出される。これ等の2つの位置は局部メモリ・モジュール500のページ照合のために使用される。スクラッチパッド・メモリ-204-4のページ付け操作は特に本発明に関連するものではないため、本文では詳細な論議は行わない。

アドレス・セクタ・スイッチ204-6の他の2つの位置はメモリ・即ちPI指令を与えるために用いられる。特に、アドレス・スイッチ204-6の位置1は、レジスタ201-15に記憶されたマイクロ命令ワードのアドレス制御フィールドにより選択される時、マイクロ命令ワードの予め定められたフィールドに従ってビット0～8を含み、かつメモリ-204-4からのページ付けされたアドレス情報かブロック204-12の作業レジスタにより出力バスWRPに与えられた絶対アドレス・ビットに対応するよう符号化されたビット9～35を含むR/Wメモリ・指令情報を

66

生成する。スイッチ204-6のPI位置が選択される時、このスイッチは、ビット0が2進数等であり、ビット1はレジスタ201-15に記憶されるマイクロ命令ワードの1フィールドにより与えられ、ビット2はPSRレジスタ204-20のビット9により与えられかつ現プロセスがある外部のレジスタを変更できるかどうかを規定し、ビット5-8はレジスタ204-20のビット4-7に等しくかつモジュール内のポート即ちサブチャンネルを規定し、ビット3はSIU100により与えられるプロセッサ番号を指定するよう符号化され、ビット4は零であり、ビット9-35はPI指令の絶対アドレスに対応するバスWRPのビット9-35に等しいプログラム可能インターフェース指令ワードを生成する。

局部メモリー・モジュール500の詳細

第4図は、本発明のシステムおよび本発明の教示内容に従う局部メモリー・モジュール500の望ましい実施態様を含む主ブロックを示す。同図において、モジュール500は、カッシー記憶セ

67

含む8つのバイト・セクションに分割されている。各回路チップは、各ワードが4バイト(バイト=9データ・ビット+1パリティ・ビット)を有する4つの40ビット・ワードに各ブロックが規定される64ブロックのアドレス場所即ち256のアドレス場所の容量を提供するチップの合計数を有する128のアドレス指定可能な2ビット巾の記憶域を含んでいる。

登録の記憶装置500-22は各カッシー・ブロックのアドレスを記憶し、同様に4レベルに構成されている。装置500-22は、どのレベルのカッシーが次の操作サイクルの間審査されるかを確定するためのラウンド・ロビン・カウンタ装置(図示せず)を含む。カッシーの異なるレベルは80ビットのコラムを規定し、カッシー・ブロックは2つのこのようなコラムを含んでいる。登録簿記憶装置500-22はこのようにカッシー内のブロック数に対応するコラム数に分割されている。本発明の目的のためには、本構成は構造上公知と考えられ、R・E・ラング(Lange)等の米

68

クシオン500-2、補助記憶セクション500-4、入力レジスタ・セクション500-12、制御回路セクション500-6、入力スイッチ・セクション500-8、出力スイッチ・セクション500-10から図示の如く構成される事が判る。出力スイッチ・セクション500-10と入力レジスタ・セクション500-12は、以下に説明するようにSIU100を介してプロセッサ対P0又はマルチプレクサ・モジュール300のいずれかに対してデータおよび制御情報を送受する。

第6図に更に詳細に示されるカッシー記憶セクション500-2は、関連する制御回路500-21を有するカッシー500-20と、関連する比較回路500-24を有する登録簿記憶装置500-22と、ヒット論理回路500-28と、制御回路500-26とを図示の如く構成してなる。カッシー記憶装置は4つのレベル即ちセクションに構成され、その各々は構造的に公知の複数個のバイポーラ回路チップから構成されている。各レベルは、夫々5つのバイポーラ回路チップを

69

国特許第3,845,474号に開示された構成と関連させる事ができる。1カッシー操作サイクルの間、4バイトが8つのセレクト回路の1つの番号を介して出力マルチプレクサ・スイッチ500-10に送出される。

登録簿記憶装置500-22はブロック500-24の比較回路に対してアドレス信号を与える。構造的には公知のこれ等回路は、要求されている情報が4レベルの内のいずれかにおけるカッシーに存在する(即ちビットの存在)かどうかを検出するよう作用する。比較回路500-24は比較の結果をブロック500-28のヒット回路に与える。ヒット回路500-28は更に、ブロック500-6の制御論理回路に対して入力として与えられるヒット表示を記憶する。補助記憶セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、16ビットの出力レジスタ500-42と、データ訂正兼パリティ発生回路500-44と、ブロック500-46の多数の制御回路とを第7図に示す如く構成して

70

なる。回路500-48はカウンタ回路および遅延回路を含んでいる。これは構成上は公知であるが、メモリー・モジュール500-2の全操作を同期させるためのタイミング兼制御信号を与える。

補助記憶装置500-40は、構造上は公知の4KのMOSメモリー・チップから構成され、各ワードが40ビット(32Kブロック)を有する128Kのメモリー・ワード容量を有する。データ訂正兼パリティ発生回路は、補助記憶装置500-40から読出されかつこれに書込まれるワードにおけるエラーを検出して訂正するよう作用する。本発明の目的のためには、これ等回路は構造上公知のものとする事ができる。

第6図から判るように、入力レジスタ・セクションはゾーン、アドレス兼指令(ZAC)レジスタ500-120、第1のワード・バッファ・レジスタ500-122と第2のワード・バッファ・レジスタ500-123を図示の如く結合してなる。ZACレジスタ500-120は第8図に

(7)

ブロック500-6の諸回路は、ZACレジスタ500-120に記憶された指令により指定される操作を実施するため局部メモリー・モジュールの異なる部分を付勢するための各種の制御兼タイミング信号を生成する。これは、補助記憶装置500-40に書込まれ、又補助記憶装置500-40とカッシーエ500-20からそれぞれ読出されるデータ信号のグループを選択するため入力マルチプレクサ・スイッチ500-8および出力マルチプレクサ・スイッチ500-10に対する制御信号の分配動作を含んでいる。本発明の目的に対しては、以下に論述する第7図の諸回路に加えて、マルチプレクサ・データ・セクタ回路およびレジスタは構造上公知と考えられ、前述のテキサス・インスツルメンツ社のテキストに開示された回路の形態をとる事ができる。

第7図はブロック500-6、500-21、500-26および500-46のあるものを更に詳細に示している。同図によれば、ブロック500-6の制御回路は複数個のAND/NAND

(7)

示されたフォーマットを有するZAC指令ワードを記憶する。入力バッファ・レジスタ500-122と500-123は接続されて、リクエスト・モジュールによりインターフェース603のDTM回線に与えられるZAC指令のデータ・ワード(単数又は複数)を受取る。レジスタ500-122と500-123の内容は2つのマルチプレクサ・スイッチ500-8の一方の異なるバイト位置に与えられる。本発明によれば、スイッチ500-8も又、前述の如く補助記憶装置500-40とカッシーエ500-20に書込まれる組み合わせられたデータを用いて新しい入力データと組み合わせられる補助記憶装置から読出されたデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるデコード・ゲート回路に与えられ、アドレス信号はブロック500-6の諸回路、登録簿記憶装置500-22、カッシーエ500-20、およびそのアドレス指定のための補助記憶装置500-40に分配される。

(7)

ゲート500-60乃至500-74を有する事が判る。ゲート500-60、500-61、および500-62はZACレジスタ500-120からZAC指令ビット信号およびカッシーエ・バイパス信号の異なるものを受取るよう接続されている。これ等の信号は図示の如く組み合わせられ、ゲート500-64および500-74に与えられる。その結果得られる読出しロードおよび書込みロード指令信号はカッシーエ制御回路500-21、登録簿制御回路500-26および補助記憶装置制御回路500-46に対して図示の如く与えられる。RCL000 および RCL100 の如き他の指令信号は又補助記憶回路500-46に与えられる。

第7図から判るように、カッシーエ制御回路500-21は、書込みカッシーエ・タイミング信号 WR-CACHE100 を書込みクロック可能回路500-214に与える直列接続されたNAND/ANDゲート500-210および500-212を有する。書込み可能回路500-214は構造上公知

(7)

の論理作用ゲート回路を含み、この回路は書き込み作用サイクルの実行に必要なカツシエ500-20に対する適当なタイミング信号を与える。更に、制御回路は、書き込み指令および読出し指令にそれぞれ応答して補助記憶装置500-40から80ビットの更新されたデータか1ブロックのデータのいずれかをカツシエに書き込むのに必要なアドレス・ビット32の状態を変更するよう作用するAND/NANDゲート500-216乃至500-222を更に含んでいる。

同様に、登録簿制御回路は直列接続されたNAND/ANDゲート500-260、500-262および500-264を含み、その最後のゲートは書き込み可能回路500-266に対して書き込み登録簿タイミング信号を与える。この書き込み可能回路500-266は構造上公知の論理ゲート回路を含み、これは書き込み作用サイクルの実行に必要とされる登録簿記憶装置500-22に適当なタイミング信号を与える。

補助記憶制御回路500-46は第1のグルー

(7)

の諸回路の使用可能動作が禁止される。

第7図の最後のグループの回路は第6図のヒット・レジスタ回路500-28を構成する。この回路は、図示の如く接続されたANDゲート500-281に代えてNAND/ANDゲート500-280と500-282を含む。NAND/ANDゲート500-280は、比較回路500-24からその結果生じた比較信号を受取り、ゲート500-282に登録簿比較表示を与える。更にゲート500-282の出力はヒット・レジスタ・フリップフロップ500-284のセット入力に与えられる。NAND/ANDゲート500-284はフリップフロップ500-284のリセット入力に対し状態反転して与えるSIU100からの受入れZAC信号を受取る。フリップフロップ500-284からの2進数1および零の出力信号はその後第7図のブロックの各々に対して分配される。ブロック500-476の諸回路は書き込み信号を生じるよう作用する公知のゲートを含む。

読出し制御回路500-46は第1のグルー

(7)

の直列接続されたAND/NANDゲート500-460乃至500-468を含む。これ等ゲートは補助記憶装置要求信号BSREQ100を生成し、データ信号に補助記憶装置の読出し/書き込み操作サイクルを開始させ、SIU100に対して補助記憶装置のデータの転送を可能にするよう作用する。ゲート500-460乃至500-468は、登録簿ヒットがない時(即ち、信号HIT000=1)読出し/書き込み操作サイクル、書き込み操作サイクル、および読出し/クリア操作サイクルに対する補助記憶装置要求信号BSREQ100を生成する。第2の直列接続されたAND/NANDゲート500-470乃至500-476は、エラー条件(即ち、信号LME000は2進数零である)の発生と同時に補助記憶装置書き込み禁止信号DISABBSWR100を生成するよう作用する。例えば1WRITEサイクルの読出し部分においては、非適正なエラー条件の検出は信号LME000を2進数零に強制する。このため、ブロック500-266と500-214の諸回路と共にブロック500-478

(7)

割込みセクション101

前述の如くシステム・インターフェース装置100は複数のクロスバー・スイッチを介して第1回のシステムの各モジュール間の連絡を行う。別個のクロスバー・スイッチを用いてモジュールの各インターフェースの回線からの信号を収集する。第3a図はモジュール割込みインターフェースを収めるための割込みセクション101の各スイッチおよび回路を示す。第1図のシステムには各々がその割込みインターフェース602の異なる回線を介してSIU100に対し信号を与えるポートLMO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又第1図のポートLと関連する割込みインターフェースを介して信号を与える。

第3a図から判るように、サービスを要求する時各モジュールは、割込み優先順位制御ブロック101-2の諸回路に与えられるそのIDA回線上の適当な割込み識別子情報と共に、その割込み要求(IR)回線上に信号を与える。ブロック

(7)

101-2の諸回路は全ての割込みインターフェースを監視し、実行中のプロセスの優先順位より高い順位を有する要求がある時プロセサ200に対応する適当なプロセサに信号する。プロセサ200が要求を受入れる事ができる事を信号する時、SIU100はプロセサ200に対する最優先順位の要求と関連する識別子情報をゲートする。この識別子情報は、パリティ・ビット、3ビット割込みレベル番号、およびパリティ・ビットと4ビット・チャンネル番号を有する1ビット・プロセサ番号を有する8ビットの割込み制御ブロック番号を有する。

割込みセクション101について更に詳細に考察すれば、ブロック101-2の諸回路にはプロセサ番号および割込み要求信号を復号するデコード回路を含む。パリティ・エラーがないものと仮定すれば、デコード回路からの出力信号は表示されたプロセサの論理回路の優先順位論理回路に与えられる。優先順位論理回路は割込みレベル信号を復号し、最優先レベルを決定し、次いで最優先

79

回線又はレベル零存在(LZP)回線の2進数1への強制に先立つて強制されたSIU100に回答してプロセサ200がIDR回線を2進数1に強制する時、AIL回線に与えられる。現プロセスが割込みされないよう禁止されていなければ、割込み要求はプロセサ200に現行プロセスを中断させ、前述の識別子情報を含むSIU100から割込みワードを受入れさせる。特に、この割込みワードは下記の如くフォーマット化される。即ち、

ビット0は新しい割込みビット位置である。2進数1にセットされると割込みは新しく、2進数零にセットされると割込みは再開されるべき前に割込まれたプロセスである事を表示する。

ビット1~17は使用されず、2進数零である。

ビット18~27は割込み制御ブロック番号を規定してビット18と27を2進数零にセットさせる。

ビット28~31はSIU100により生成され、本発明に従い本文中に説明される如くソース・モジュールを識別する。

レベルと最上位のポート順位を有するモジュールが選択されるようにポート順位を決定する。あるレベル内の割込みポート順位は下記の如くである。即ち、オールド；ポートL；ポートA、ポートB、ポートC；ポートD；ポートE；ポートF、ポートG；ポートH；ポートJおよびポートK。この事は、第1図のシステムにおいては現行プロセスのポートが最優先順位を有し、これに続いてSIU100、高速マルチプレクサ300、上位プロセサ700、プロセサ200、および低速マルチプレクサ400となる。

ブロック101-2の優先順位回路はn個の出力回線の1つに出力信号を生じるよう作用する(但し、nはシステム内の割込みモジュールの数)n個の出力回線は8位置のデータ・セクタ・スイッチ101-4に与えられ、該スイッチはこの時レジスタ101-6にロードされつゝあるレベルより高い優先順位を有する割込みレベルの割込みレベル信号を選択する。レジスタ101-6からの出力信号は、高レベル割込み存在(HLIP)

80

ビット32~35は多数のポートを有するモジュールにより生成され、本発明に従い本文中に説明される如くソース・モジュール内のサブチャンネル即ちポートを識別する。

ブロック101-2の諸回路の構成に関する更に詳細な内容については、本明細書の頭書に引用した「優先順位割込みハードウェア」なる係属中の米国特許出願を参照されたい。

又、割込み優先回路101-2からの出力回線は別のデータ・セクタ・スイッチ回路101-8に与えられる事が判る。最優先順位を有する要求側モジュールのみが信号をセクタ回路101-8に与えるため、セクタ回路は、要求側のモジュールが与える優先順位が接続する物理的ポート(即ち割込みワードのビット28~31)を識別する予め定めたワイヤド・インされた符号化操向信号の組を与えるように接続されている。

本実施態様においては、下記の操向コードが第1図のモジュール識別のために生成される。

コード	識別されたSIUポート(モジュール)
0000	局部メモリー・モジュールポート LMO
0001	ポートK
0010	SIU100ーポートL
0101	低速マルチプレクサ400ーポート J
0110	プロセサ200ーポートG
1101	高速マルチプレクサ300ーポート A
1110	上位プロセサ700ーポートE

セレクト回路101-8により生成された4ビット・コードは更にゲート回路網101-12内に含まれる1グループの公知のANDゲート回路に与えられる。異なるソース・システム・モジュールにより与えられる他の識別子情報は又回路網101-12の他のゲート回路に与えられる。特に、各モジュールは、8位置のデータ・セレクト・スイッチ回路101-14の各位置の1つに対してそのIDA回線を介して割込み制御ブロック

図

ーフエース600上のマルチプレクサ300に転送するかを決定する優先回路を含んでいる。更に、セクション102は、どのソース・モジュールがデータ又は指令を局部メモリー・モジュール500に転送しようとしているかを決定する優先回路を含んでいる。

1モジュールが他のモジュールに対する要求を生成した時1対のモジュール間の転送が生じる事、およびこの要求が他のモジュールにより受入れられた事が判るであろう。要求が受入れられるためには、要求側のモジュールは最優先順位を持たねばならず、両モジュールは情報を受取る状態になければならず、転送が行われる転送経路は使用可能でなければならない(即ち、使用中でない)。

プロセサ200によりセクション102に与えられる信号に關しては、これ等信号の発生は、第2図のプロセサ・レジスタ201-15に読出されるマイクロ命令の異なるフィールドにより大きく左右される。例えば、ブロック102-4の諸回路に与えられるプロセサ200からの活動出力

図

番号(ICBN)を与える。更に、各モジュールは、割込みインターフェースのIMID回線を介して回路網101-12のゲート回路の他のものにソース・モジュールの要求側のサブチャンネル即ちポートを識別する情報を与える。プロセサ200がその割込みデータ要求(IDR)回線を2進数1に強制する時、SIU100はゲート回路網101-12からの信号を4位置データ・セレクト・スイッチ回路101-20の各位置の1つを介してプロセサ・データ・インターフェース600のSIUからのデータ(DFS)バス回線に与える。スイッチ101-20の他の位置については本発明の理解と関連しないため図示しない。

データ転送セクション102

第3b図はシステム・インターフェース装置100のデータ転送セクション102を示す。このセクションは、どのソース・モジュールが指令をそのプログラム可能インターフェース601上の高速マルチプレクサ300に転送し、かつどのソース・モジュールがデータをそのデータ・イン

図

ポート要求(AOPR)回線は、読出し/書き込みメモリー即ちプログラム可能インターフェース指令の転送を規定するよう符号化されるレジスタ201-15に読出される各マイクロ命令のSIU要求タイプ制御ビット・フィールドに従つて可能となる。2位置データ・セレクト・スイッチ102-2に与えられるプロセサ・データ・インターフェース600の対SIUデータ回線(DTS)は、第2図のプロセサ・データ出力レジスタ204-14にロードされるマイクロプログラム制御下で生成される指令情報を構成する。対SIU操向データ(SDTS)回線は、第2図のプロセサ操向レジスタ204-16にロードされるマイクロプログラム制御下で生成される信号を受取る。

第1図のシステムに対しては、I/Oプロセサのみが指令をマルチプレクサ500のみに転送し、プロセサ200は信号を回路網102-4に与える。従つて回路網102-4は、モジュールが指令をマルチプレクサ300に転送を欲する時点を確認するためプロセサ・モジュールから操向情報

図

を復号するデコーダ回路を含んでいる。1つ以上のモジュールが同じサイクル中に転送を欲する時1つ以上のI/Oプロセサがある場合、回路網102-4に含まれる優先順位回路網は最優先順位を割当てられるモジュールを選択し、そのプログラム可能インターフェース601のPDFS回線上のマルチプレクサ300に対する前記モジュールによる指令の転送を可能にする。特に、回路網102-4は、適当なモジュールからの信号を選択する2位置セクタ・スイッチ102-2に対して信号を与える。これは、マルチプレクサ300がSIU100に対し、PIR回線を2進数1に強制する事により指令を受入れる用意がある事を信号する時に生じる。同時に、回路網102-4はAPC回線を2進数1に強制してマルチプレクサ300に対してPDFS回線に与えられた指令を受入れる事を信号する。プロセサ200が命令を実行してこれにプログラム可能インターフェース(PI)指令をマルチプレクサ300に対して送出させる時、プロセサ200は指令のビット3に

87

令(ZAC)に回答して生じる。マルチプレクサ300が指令を前送する時、SIU100は、マルチプレクサ300から受取ったマルチポート識別子情報に従属する適当な4ビットのリクエスト識別子コード(操向コード)を生成する。この情報はメモリー・モジュール500により記憶され、モジュール500が読出しデータ転送要求を生じてマルチプレクサ300がこのデータを受取るべき事を表示する時SIU100に戻される。又、SIU100はこの要求を受入れる時、回線ARDAを2進数1に強制する事によりマルチプレクサ300に通知する。

読出しデータ転送要求(RDTR)回線は、メモリー・モジュール500によりセットされる時、回路網102-14に対して1操作サイクルの間に読出された情報を転送する用意がある事を信号する。局部メモリー・モジュール500は又メモリーからのリクエスト識別子(RIFM)回線に信号を与えて情報が転送されるべき要求側モジュールを識別する。

88

プロセサの番号識別を置く。マルチプレクサ300は、割込み要求を出しこの時プロセサ番号が前述の如く割込みデータの一部として含まれる迄は指令に含まれるプロセサ番号を記憶する。PI指令がマルチプレクサ300に前送される時、リクエストとしての操向情報識別プロセサ200はマルチプレクサ300(ポートA)と関連するレジスタ102-6に記憶される。前述の如く、マルチプレクサ300がデータ転送読出し要求をSIU100に対して生成する事により応答する時、レジスタ102-6の内容はデータを受取る実際のモジュールとしてプロセサ200を識別するのに用いられる。

データ信号をマルチプレクサ300に転送するため同様な構成が用いられる。第1図において、メモリー・モジュール500はデータをマルチプレクサ300に転送する唯一のモジュールである。このような転送は前述の如く回路網102-20を介してマルチプレクサ300によりメモリー・モジュール500に前送される読出しメモリー指

89

特に、デコーダ回路網102-14内の諸回路はPIFM回線に与えられた識別信号を復号し、局部メモリー・モジュール500が情報をマルチプレクサ300(マルチプレクサ300がこの情報を受取る用意があるものと仮定して)に情報を転送する用意がある事を前記信号が表示する時、デコーダ回路網102-14は適当な信号をセクタスイッチ102-12とゲート回路網102-16内の諸回路とに対して与える。

更に、デコーダ回路網102-14は信号をデータインターフェースの読出しデータ受入れ(ARDA)回線に与えて、そのインターフェース600のSIUからのデータ(DFS)回線を受入れるべき事をマルチプレクサ300に対して信号する。ブロック102-16の諸回路は適当なマルチポート識別子情報をSIUからのマルチポート識別子(MIFS)回線に与え、RIFM回線から得られる要求側サブチャンネルを識別する。転送が生じる時、回路網102-14はRDAA回線を2進数1に強制して、要求側のモジュールに対

90

してデータがメモリー・モジュール500により受入れられた事を信号する。

回路網102-14に類似の構成をSIU100に用いて第1図のモジュールのいずれかからのPIおよびメモリー指令を局部メモリー・モジュール500に転送する。モジュール500は、プログラム可能インターフェース又はメモリー指令のいずれかを受入れる用意がある時、デコーダ回路網102-20に与えられるプログラム可能インターフェース要求(PIR)回線又はZACインターフェース要求(ZIR)回線のいずれかを2進数1に強制するよう作用する。更に、プロセサ200と、プロセサ700と、マルチプレクサ300とは回路網102-20の信号を活動出力ポート要求(AOPR)回線に、又操向データを各データ・インターフェースのSIU回線に与える。モジュールの各々により与えられる操向情報の復号と同時に回路網102-20は、メモリー・モジュール・データ・インターフェース603の対SIUデータ転送回線に対して最優先順位を有す

91

ち102-20を介してプロセサ200に前送するよう作用する。プロセサ200は一時に1つの指令を処理するため、プロセサ要求に回答してプロセサのDFS回線に対する転送のためセレクト・スイッチ102-20に対しデータを与えるモジュール間には競合が生じ得ない事が判るであろう。即ち、プロセサ200が指令を第1図のモジュールの1つに送出した後、その作用は抑制されて要求されたデータの受取りを留保する。SIU100は、プロセサの要求の受入れと同時に、プロセサARA回線を強制してプロセサの操作を遅延させる。

別個の回路網102-40はPI指令に回答するこれ等モジュールからのデータ戻し要求を処理する。回路網102-40は、図示しない他のモジュールのレジスタと共にレジスタ102-6からRDTR回線に与えられる信号を復号する。モジュールが要求されたデータをプロセサ200に戻そうとしている事(即ち、マルチプレクサ300のレジスタ102-6に記憶されたリクエスト識

93

るモジュールに信号を与える事を可能にするための3位置セクタ・スイッチ102-24に適当な信号を生成するよう作用する。又、回路網102-20は、ゲート回路網102-26を介して局部メモリー・モジュール・インターフェース603の対メモリー要求識別子(RITM)回線上の適当なリクエスト識別信号と共に、プログラム可能指令受入れ(APC)回線又はZAC指令受入れモード(ZAC)のいずれかに対して信号を与える事が判る。

最後の2つの回路網102-30と102-40を用いてメモリー・データおよびプログラム可能インターフェース・データを、プロセサ200により前に生成されたメモリー指令およびPI指令のそれぞれに回答してプロセサ200に対して転送する。第3b図から判るように、優先順位デコーダ回路網102-30は回路網102-14と同じ入力回線を有し、同じ方法で要求されたメモリー・データを第3a図のデータ・セクタ・スイッチ102-32と4位置のセクタ・スイッ

92

別子)事をSIU100が検出すると、回路網102-40は、要求されたデータをプロセサ200に戻そうとするモジュールのPIインターフェースのPDTS回線からの信号を与えるように3位置データ・セクタ回路102-42を条件付ける信号を生成する。これ等の信号は、更に、モジュール要求信号により条件付けられる第3a図のセクタ・スイッチ101-20を介してプロセサのDFS回線に与えられる。次の操作サイクルの間、回路網102-40はRDAA回線を2進数1に強制して、PDTS回線に与えられたデータが受入れられた事、およびこのモジュールはこの時どのようなデータを除外できる(即ちその出力レジスタをクリアする)事をモジュールに対して信号する。このように、スイッチ101-20は3つのタイプのデータの内のいずれか1つをプロセサのデータ・インターフェース600のDFS回線に選択的に与える事が判る。

本発明の目的においては、第3b図のブロックの各々に含まれる諸回路は構造上公知であると考

94

える事ができ、テキサス・インスツルメンツ社の前記の文献に示される論理回路を含めてもよい。又、本発明の目的に対しては、スイッチング回路網は従来周知のクロスバースイッチを含む事ができる。

作用説明

本発明のシステムの作用については、第1図乃至第9図に關して以下に説明する。第8図から判るように、局部メモリー・モジュール500は多くの異なるタイプのZAC指令の実施が可能である。要約すれば、モジュール500は下記の如く定義される5つの異なるタイプのZAC指令の処理が可能である。

1. 読出し単指令

アドレス指定されたメモリー場所の内容(1ワード)が読出されてリクエストに送出される。メモリー内容は変更されない。ZACビット9は、カッシエがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシエにロードされていれば、読出しサイクルがカッシ

69

リクエストにより与えられるデータ・ワードの1乃至4バイトがアドレス指定されたメモリー場所に記憶される。記憶されるバイトはゾーンビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を制御する。記憶されないバイト位置のメモリー場所は変更されずに残る。アドレス指定されたワードを含むデータ・ブロックはカッシエ内にロードされない。然し、ブロックが既にカッシエ内にある時、ワードが更新される。

5. 書込み2倍指令

リクエストにより与えられる2データ・ワードはアドレス指定された対のメモリー場所に記憶される。このデータ・ブロックはカッシエにロードされない。然し、ブロックが既にカッシエ内にある時、2ワードが更新される。

異なるZAC指令に対する特定のコードは下記の如くである。他の可能な11のコードが違法として定義され、前述の如くエラー信号を生じる。

エ内で行われて情報がカッシエから取出される。

2. 読出し/クリア単指令

アドレス指定されたメモリー場所の内容(1ワード)は読出され、リクエストに送出され、メモリー場所(1ワード)は良好なパリティ(又はEDAC)ビットを用いて零にクリアされる。アドレス指定されたワードを含むデータブロックはカッシエにロードされない。もしこのブロックが既にカッシエにロードされれば、アドレス指定されたワードも又カッシエ内で零にクリアされる。

3. 読出し2倍指令

アドレス指定された対のメモリー場所(2ワード)の内容が読出されてリクエスト・ワードに順次送出される。メモリーの内容は変更されない。ZACビット9はカッシエがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシエ内にロードされておれば、読出しサイクルはカッシエ内で行われて情報がカッシエから取出される。

4. 書込み単指令

69

CMD	ゾーン	カッシエ・バイパス ビット					
			読出し単操作	読出し・クリア単操作	読出し2倍操作	書込み単操作(ゾーン化)	書込み2倍操作
1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0
1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	0	0	0	0
1	0	1	1	1	0	0	0
1	0	1	1	1	1	0	0
1	0	1	1	1	1	1	0
1	0	1	1	1	1	1	1

69

69

例えば、最初に対P0のプロセサ200の1つが一連のプログラム命令の実行を開始するよう作用し、局部メモリ・モジュール500の照合を指定するものとする。この事例では、最初と後続する命令は、指標値およびアドレス・シラブルを含む別のフィールドを記憶する汎用レジスタを指定する少くとも1つのフィールドを含むようフォーマット化される。汎用レジスタ指標値の内容は、2進数等にセットされたものと仮定されるバイパス・ビット9の状態を規定する。プロセサ200は情報を組み合わせて絶対アドレスを生じる。

一たん絶対アドレスが計算されると、プロセサ200は所要のメモリ・指令ワードと、局部メモリ・モジュール500に指令を指向するための適当なSIU操作情報を生成する。操向および指令は第8図に示されるフォーマットを有する。

前述の事を更に詳細に考察すれば、各命令のOPコードはZAC指令の発生により行われるメモリの照合操作を指定するよう符号化される。最初の命令のOPコードは命令レジスタスイッチ

99

ルの指標が指定される時、第2の汎用レジスタ場所に記憶される値を、レジスタR2において以前に記憶された結果に加算する同様な操作が行われる。ビット9に対する適当な値は第1の汎用レジスタにおけるよりもむしろ第2の汎用レジスタに記憶され得た事が容易に判るであろう。

命令の実行相においては、プロセサ200は局部メモリ・500に対してZAC指令を生成するよう作用して読出し操作を指定し、メモリ・204-4又はR2レジスタのいずれかから得た適当なメモリ・アドレスを与える。絶対アドレスをとれば、レジスタR2からのアドレスはWRPバスに与えられ、アドレス・スイッチ204-6およびクロスバー・スイッチ204-8のR/W位置を介してデータ・アウト・レジスタ204-14にロードされる。

操向スイッチ204-10はメモリの操作サイクルに対するSIU操向を与える。信号は第8図のフォーマットを有し、R/W指令を局部メモリ・モジュール500又はこのモジュールが接

(101)

202-4によりメモリ・に場所の1つを照合させるメモリ・201-2に与えられる。この場所の内容はレジスタ201-4に読出され、命令処理に必要とされるマイクロ命令シーケンスの制御記憶装置201-10における記憶アドレスを指定する1対のアドレスを含んでいる。

現命令の実行中に開始する第1の命令処理相においては、次の命令の指標ビットはスイッチ203-14の位置3を介してスクラッチパッド・メモリ・203-10の汎用レジスタ場所の指定された1つをアドレス指定するのに使用される(即ち、Lev, XR1)。場所の内容はバッファ203-16に読出される。

指標レジスタの内容はスイッチ203-20の位置0を介して、命令の変位フィールドがスイッチ204-1の位置0を介して加算回路204-2のBオペランド入力に与えられる加算回路204-2のAオペランド入力に与えられる。両者は一緒に加算され、その結果はスイッチ204-8を介して作業レジスタR2に転送される。第2レベ

(100)

続するポートLMOに転送するためSIUが使用する情報を与える。これ等信号は、マイクロプログラム制御下でレジスタ201-15およびアドレススイッチ204-6から操向スイッチ204-10のR/W位置を介して操向レジスタ204-16のビット位置にロードされる。

マイクロ命令フィールドの符号化および操向情報の生成に関するこれ以上の内容については、係属中の米国特許出願「メモリ・アクセス・システム」を照合され度い。

両方のレジスタ204-4および204-16のローディングに続いて、プロセサ200はAOPR回線を2進数1に強制し、この状態がR/W指令の局部メモリ・モジュール500への転送のための信号シーケンスを開始する。又、プロセサ200は命令カウンタ(IC)を増分し、作業レジスタR3にその結果を記憶する。次いでプロセサ200は、SIU100からARA回線を介して信号を受取り要求の受入れを表示する迄次のマイクロ命令の実行を遅延させる。

(102)

SIU100 は、データ・サイクルに続くアドレス／指令サイクルである1対のSIUサイクルを要求するものとしてR/W指令を示す。局部メモリー・モジュール500が指令を受入れる用意があるものとするれば、ZIR回線は2進数1である(第9図において波形は負の論理信号で示される)。第3b図のSIU優先回路102-4は、操作サイクルの間局部メモリー・インターフェース602のDTM回線に対してSIUセレクト・スイッチを介して指令ワードを与えるよう作用する。プロセサ200は、SIU100がARA回線を2進数1に強制する迄指令ワードをデータ・アウト・レジスタ204-14に保持しながら待機する。同時に、SIU100はAZC回線を2進数1に切換え、モジュール500に対してR/W指令を受入れる事を信号する(第9図参照)。

ARA回線における状態の変化の検出と同時に、プロセサ200は、マイクロ命令の制御下で命令の処理を完了する。即ち、要求されたデータワードが前述の如くSIU100から受取られる迄待機

(100)

レス信号は、データのブロックが既にカッシエ500-20に存在するかどうかを確定するために使用される。

又、回線DTM17~33に与えられるアドレス信号も又これから、ブロックのデータからの読出のための補助記憶装置500-40に与えられる事が判ろう。

第9図から、要求される情報が既にカッシエ500-20に記憶されたかどうかを決定するため登録簿記憶装置500-22の探査を即時開始する事が判る。この探査操作は、クロック・パルス1Tと2T間の間隔の間に行われる。本事例においては、プロセサ200により要求される情報の一部がカッシエ500-20に存在するものと仮定する。

第6図において、ブロック500-6の諸回路はZAC指令のビット1~4を復号する事が判る。ゾーン・ビット5~8はどのバイパスがメモリーに書込まれるべきかを指定するよう符号化される。ビット1は2進数1でありビット2~4は2進数

(100)

する。

ここで、メモリー指令は書込み単操作を指定するように符号化される。第8図および第9図において、ZAC指令ワードの指令およびアドレス・データは、時点1T(即ち、システムクロック・パルス1Tが2進数1から2進数零迄切換る時の後縁)においてAZC回線からの信号AZC100に応答してZACレジスタ500-120にロードされる事が判る。ZACレジスタ500-120に記憶されたアドレス信号はDTM回線17~33から第6図に示される如く登録簿記憶装置500-22および登録簿比較論理回路500-24に対して入力として与えられる。

特に、DTM回線26~32に与えられるアドレス信号は登録簿記憶装置500-22をアドレス指定するためのブロック・アドレスとして使用され、回線DTM17~25に与えられるアドレス信号は登録簿書込み操作の場合に登録簿記憶装置500-22に書込まれる信号に対応する。登録簿比較回路500-24に与えられる同じアド

(100)

零であるため、信号WR000は2進数零である。従つて、ゲート500-61は信号RR100を2進数零に強制し、信号WR/RCL100を2進数1に強制する。信号WR/RLL100はゲート500-64に対して与えられる。

信号LME/DE000は、通常局部メモリー・エラー又は登録簿エラーのない時2進数1である。要求される情報がカッシエ500-20にあるものとするれば、ゲート500-280は信号DIRCOMP100を2進数1に強制する。これは、更にゲート500-282をして信号SETHIT100を2進数1に強制させる。クロック信号CLKDIR020の発生と同時に、ヒット・レジスタ・フリップフロップ500-284は2進数1に切換る。従つて、信号HIT000とHITREG100はそれぞれ2進数零と2進数1に対応する(即ち、ヒット検出される)。

信号WR000はゲート500-462を条件付けて補助記憶装置の指令信号BSCMD100を2進数1に強制させる。書込み指令が妥当である

(100)

(即ち、適正コードおよびフォーマット)ものと仮定すれば、信号 TCERROR000 は2進数1である。従つて、補助記憶装置のタイミング信号 SL04T/NSL02T100の発生と同時に、ゲート 500-464は補助記憶装置の要求信号 BSREQ100 をタイミングパルス1Tと2Tの間の間隔(第9図参照)において2進数1に強制するように作用する。これは補助記憶装置500-40に信号してメモリー操作サイクルを開始させる。更に、信号 WR000 はゲート500-470をして信号 BSWR100を2進数1に強制させる。これは書き込み単指令であるから、ゲート500-472は信号 WRDBL000を2進数1に強制する。従つて、信号 LME000 の状態はゲート500-476が信号 DISABBWR000 を2進数等に強制するかどうかを決定する。エラーがないものと仮定するため、2進数1である信号 LME000 はゲート500-476を条件付けして信号 DISABBWR000 を2進数1に強制する。これは、補助記憶装置の書き込み操作を生じさせる。

(107)

置換されるべき事を指定する。アドレス・ビット A33000 が2進数1である時、ゾーン・ビット信号は、信号 WD00-36100 および WDP0-P3100 に対応するワード1のどのバイトが補助記憶装置500-46から読出された信号 RD00-36111 および RDP0-P3111 を置換すべきかを決定する。然し、アドレス・ビット A33000 が2進数零である時、ゾーン・ビット信号は、信号 WD37-711とWDP4-P7100に対応するワード2のどのバイトが信号 RD37-71111および RDP4-P7111 を置換すべきかを決定する。第9図に示す如く信号におけるデータは時点2Tで SIU100 に与えられる。

スイッチ500-8から結果として組み合わされた出力信号 WD00-7110 および WP0-WDP71110は、時点T7でカッシー記憶装置500-20とブロック500-44の検査ビット生成回路に対するデータ入力として与えられる。従来の方法では、これ等回路は新旧の組み合わせデータ信号に対する所要のエラー検出兼訂正検査ビット

(108)

補助記憶装置の要求に反応して、補助記憶装置500-40はデータの160ビットを出力レジスタ500-42に読出すよう作用する。このデータは、第9図に示す如くタイミング・パルスT7の発生に先立つて回路500-44の出力側で適正形態で生じる。

第6図から判るように、補助記憶装置500-46から読出されるデータおよび検査信号 RD00-71111 および RDP0-P7111 はスイッチ500-8に対して1組の入力として与えられる。これ等の信号はレジスタ500-12からデータおよび検査信号 WD00-71111 および WDP0-P7111 と合成される。これは、アドレス・ビット33および指令ビットの状態の機能として異なるバイトのソースを直接選択する回路DTM05-08100に与えられるゾーン・ビット信号の符号化である。書き込み信号指令の場合、ZAGレジスタ500-12から得られるアドレス・ビット33の状態は、補助記憶装置500-46からのどのワードのバイトがSIU100からのワードで

(109)

を生成する。訂正できないエラー条件の場合には、これ等の回路は、強制されるべき信号 LME000 を2進数等に強制する書き込みエラー信号を生成する。その結果前述の如く書き込み操作サイクルの打ち切りを生じる。

信号 RDLOAD100 は2進数零であるため、ゲート500-260はゲート500-262を条件付けして信号 ENABLEWR100 を2進数等に強制する。従つて、登録簿書き込み可能回路500-266は使用禁止された状態を維持する。然し、第7図からは、信号 WR000 がNAND/ANDゲート500-61をして信号 WR/RCL100を2進数1に強制させる事が判ろう。登録簿エラー又は局部メモリー・エラーがないものと仮定したので、信号 LME/DE000 は2進数1となる。従つて、補助記憶装置のタイミング信号 BS8T101の発生と同時に、NAND/ANDゲート500-64は信号 WRLOAD000 を2進数等に強制する。信号 WRLOAD000 はNANDゲートをして信号 WRCACHE100を2進数1に強制させる。従つて、

(110)

NAND/ANDゲート500-212は、クロック信号CLK141の発生と同時に信号WRCACHE100を2進数1に強制するよう作用する。

第9図から判るように、カッシー書き込み可能回路500-214はタイミング・パルス8Tの間書き込みカッシー信号WRCACHE100により条件付けられて回線DTM-26~31に与えられるアドレス信号により指定されるコラムにおいて組み合わせ信号WD00-71110とWDPU-P7110をカッシー記憶装置500-20に書き込む。アドレス・ビット32の状態は、80ビットが書き込まれるべきブロックの特定のコラムを規定する。更に、信号LWR80100は2進数1(下位の80ビットに書き込み)であり、これがゲート500-218をして信号RDLDU80000を2進数1に強制させる。ゲート500-222はアドレス信号CAADDR32100にZACレジスタ500-120に記憶された状態アドレス信号をとらせる。即ち、アドレスビット32が2進数1である時、信号CAADDR32100は2進数1である。

(111)

がカッシー500-20に存在せず登録簿比較が存在しない時(即ち、ヒットなし)は信号HIT000は2進数1となる事が判るであろう。同時に信号HITREG100は、信号MISS100を2進数1に強制する2進数零である。第7図から判るように、信号HITREG100はNAND/ANDゲート500-64をして信号WRLOAD000を2進数1に強制させる。これにより、カッシー書き込み可能回路500-214が情報をカッシー記憶装置500-20に書き込む事を禁止する。然し、この情報は前述の方法で補助記憶装置500-46に書き込まれる。

書き込み2倍指令も又カッシー記憶装置500-20に記憶されるデータをリクエストにより与えられる2つのデータ・ワードにより更新させる事が判るであろう。従つて、この指令の両ビット1および2は2進数1であり、ゾーン・ビットは全て2進数1である。第7図から、両信号DBL100とBSWR100は2進数1である事が判る。このため、NAND/ANDゲート500-472は信号

(113)

更に、第9図から判るように、タイミングパルスT9に続いて、回路500-478はタイミング信号BSWT40100に応答して書き込み補助記憶装置信号を生成する。信号WD00~79は補助記憶装置500-46に書き込まれる。単一経路の使用により同じデータ信号のカッシー記憶装置500-20と補助記憶装置500-46の相方への書き込みが保証される事が判るであろう。更に、この構成のため所要の回路量が少くなる。

局部メモリー・モジュール500は、書き込み操作サイクルの完了時点で回線RDTRを2進数1に強制させて、ZAC指令により前に書き込まれるべく要求されたデータが受入れられた状況としてSIU100に対し信号するよう作用する。プロセサ200が2進数1に強制されたARDAにより信号されるデータ経路の確保に続いてデータを除去した時、SIU100はRDAA回線を2進数1に強制する。この状態は局部メモリー・モジュール500に対して操作が完了した事を信号する。

プロセサ200により書き込みを要求された情報

(112)

WRDBL000を2進数零に強制し、更にNANDゲート500-476をして信号DISABBSWR000を2進数1に強制させる。

前記の動作によりエラー信号LME000の状態の如何に拘わらず書き込み操作サイクルの間回路500-478を使用可能の状態にする。その理由は、データ・ワードの一部(即ち、1乃至4バイト)よりもむしろ2ワード全体が補助記憶装置500-46とカッシー記憶装置500-20に書き込まれる如きエラーが訂正可能であるためである。

前記の事柄は、本発明の構成がいかにして同じデータが補助記憶装置において更新中である同じ間隔においてカッシー記憶装置に記憶されるデータの自動的更新を可能にするかを示している。情報の記憶されたブロックは、書き込み指令の符号化に従つて1乃至4バイト即ち2ワードだけ更新できる。

前述の方法でデータを更新する事により、本発明の構成はシステムがフラッシング操作を行う必

(114)

要を不要にするものである。又、本構成はヒット率の改善を行うものであると考えられる。

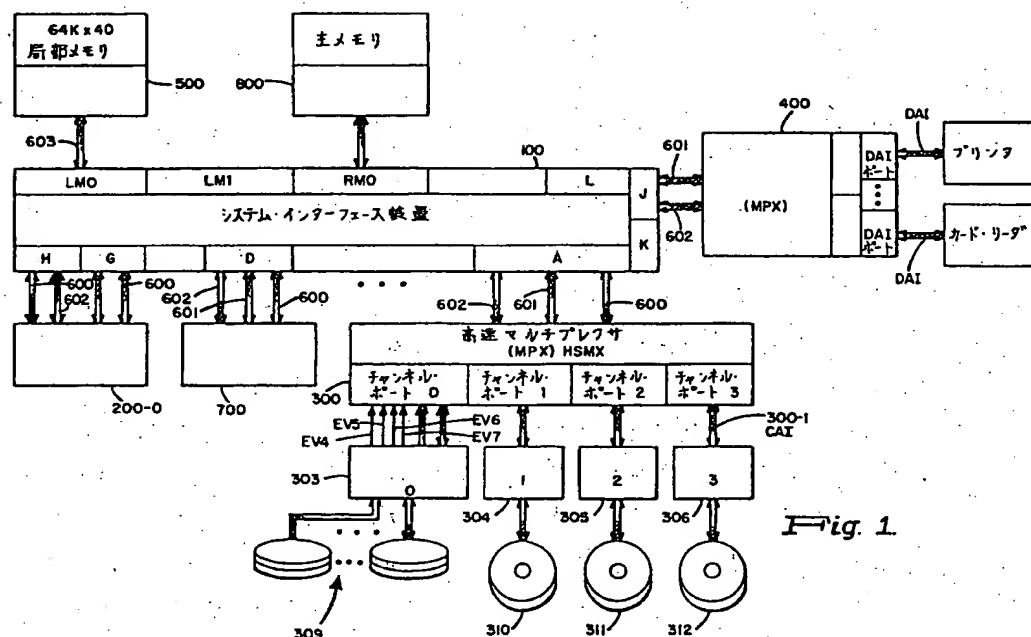
本発明の望ましい実施態様については多くの変更が可能であり、例えば指令がフォーマット化され符号化されると共にある制御およびタイミング信号が生成される方法の変更が可能である事は明らかであろう。簡単にするため、多くの場合に各種の信号のソースは1つとした。然し、同じ信号がタイミングの制約を少なくするため他のソースにより独立的に生成され得る事が判るであろう。更に、本発明の教示内容は新データと旧データの合成がカッシー記憶装置の出力側で生じる場合に使用できる事も明らかであろう。然しこのためには別の回路の使用が必要となる。

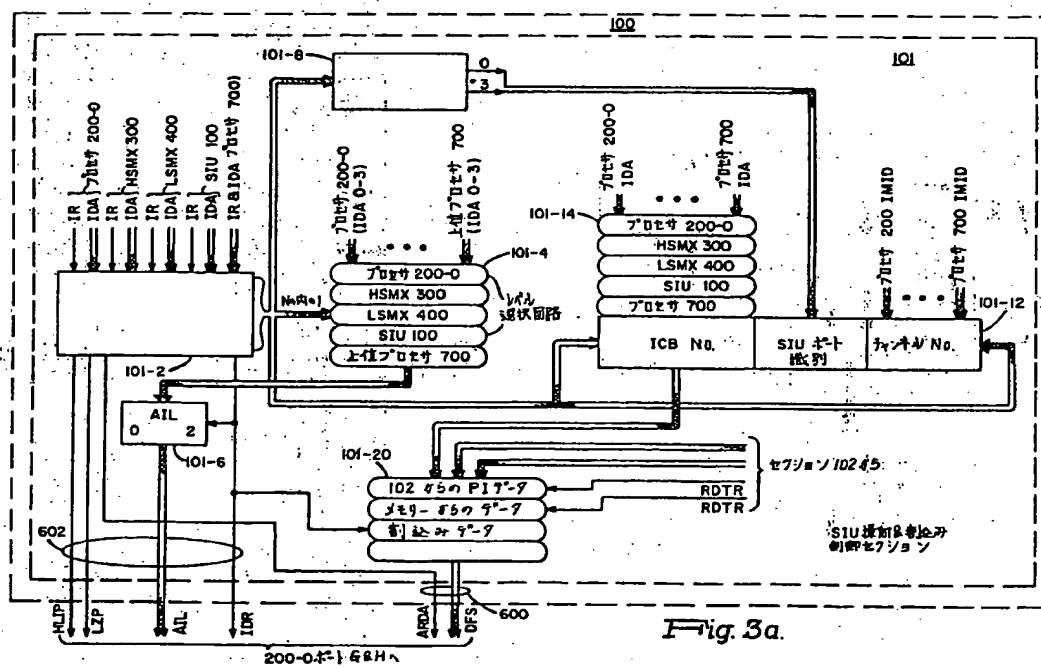
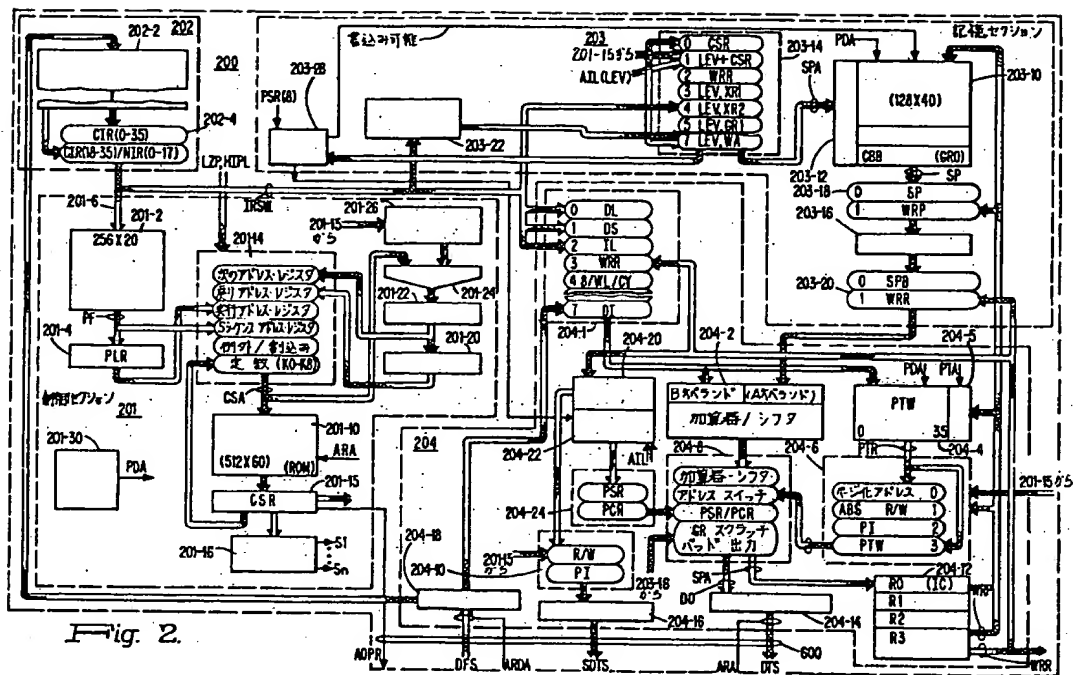
4.〔図面の簡単な説明〕

第 1 図は本発明の原理を採用する入出力システムのブロック図、第 2 図は第 1 図の入出力処理装置を更に詳細に示すブロック図、第 3 a 図および第 3 b 図は第 1 図のシステム・インターフェース装置を更に詳細に示すブロック図、第 4 図は第 1

図の局部メモリ・モジュールのブロック図、第
 5 a 図乃至第 5 d 図は第 1 図の各種のインターフ
 ェースを示す図、第 6 図は第 4 図の局部メモリ・
 モジュールを更に詳細に示すブロック図、第 7
 図は第 6 図の一部を更に詳細に示すブロック図、
 第 8 図は本発明による Z A C メモリ・指令のフォ
 マットを示す図、および第 9 図は本発明の作用
 を説明するためのタイミング・ダイアグラムであ
 る。

100…システム・インターフェース装置
(SIU)、101…割込みセクション、102…
データ転送セクション、200-0…入出力プロ
セッサ対(PO)、300…高速マルチプレクサ
(HSMX)、400…低速マルチプレクサ(LSMX)、
500…局部メモリー・モジュール、600~603
…インターフェース、700…上位プロセッサ、
800…主メモリー・モジュール。





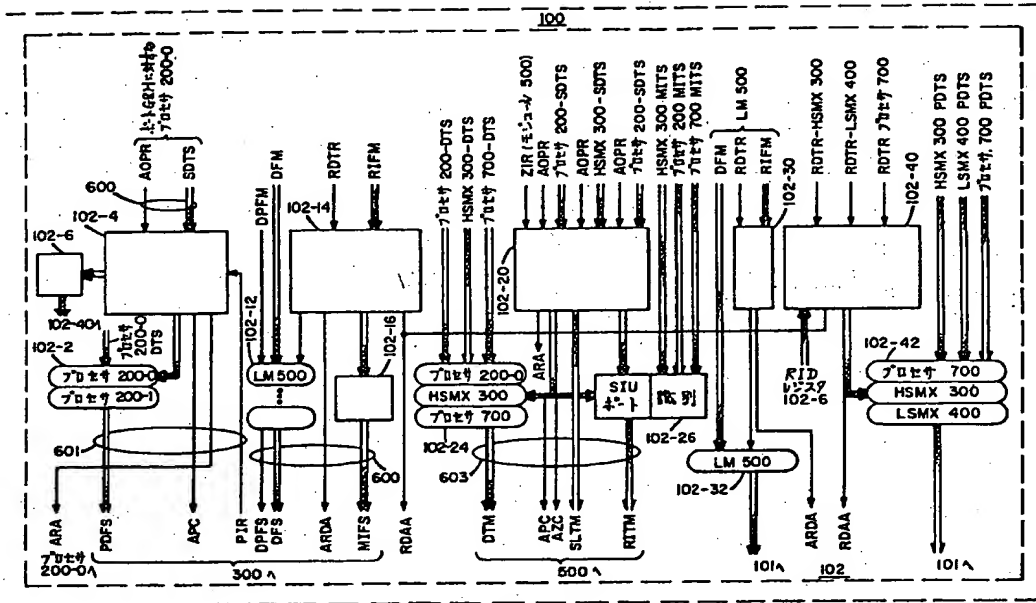


Fig. 3b

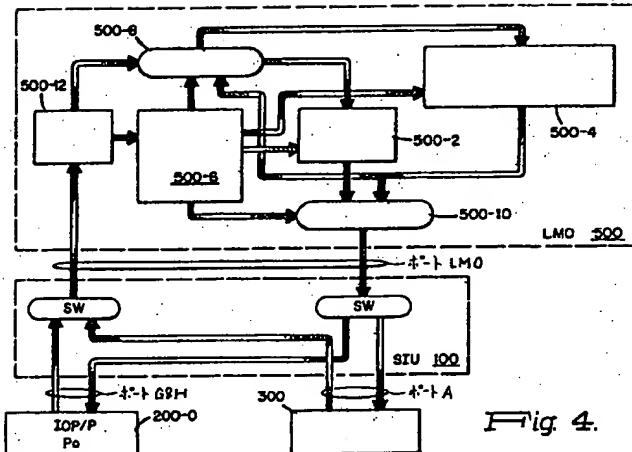


Fig. 4.

SIUポート A-H	動作能力ポート要求	AOPR	電算機システム
	対SIUポート	DTS (40)	
	対SIUポート	SDTS (8)	
	マルチポート識別	MTS (5)	
	要求能力ポート要求	ARA	
	データ読み出し要求	ARDA	
	SIUポートのマルチポート識別	DFS (40)	(ポートG&H省略)
	SIUポートのマルチポート識別	MIFS (5)	
	SIUポートの2倍精度	DPFS	
	状態読み出し	AST	
	データインターフェース	600	

Fig. 5a

SIUポート A-F, B J-L	PI命令読み出し	APC	モジュール
	SIUポートのPIポート	PDFS (40)	
	PIインターフェース使用可能	PIR	
	データ読み出し要求	RDTR	
	対SIUポート	POTS (40)	
	読み出しデータ読み出し	RDAA	
	プログラム可能インターフェース	601	

Fig. 5b.

SIUポート A-F, G-H, B J-L	制込み要求	IR	モジュール
	制込みデータ	IDA (14)	
	マルチポート識別制込み	IMID (4)	(ポートG&H省略)
	レベル存在	LZP	
	より上値レベルの制込み存在	HLIP	
	データ要求制込み	IDR	
	解放	RLS	
	制込みレベル	AIL (3)	(ポートA-D&J-L省略)
	制込みインターフェース	602	

Fig. 5c

SIU 局側メモリポート LMO&LMI	対メモリポート	DTM (40)	局側メモリ
	対メモリ要求読み出し	RITM (10)	
	対メモリ要求読み出し	SLTM (5)	
	PI命令読み出し	APC	
	ZAC命令読み出し	AZC	
	PIインターフェース使用可能	PIR	
	ZACインターフェース使用可能	ZIR	
	データ読み出し要求	RDTR	
	メモリポートのデータ	DFM (40)	
	メモリポートの要求読み出し	RIFM (10)	
	メモリポートの2倍精度	DPFM	QUAD
	読み出しデータ読み出し	RDAA	OSD
	システムクロック	SYS-CLK	
	局側メモリインターフェース	603	

Fig. 5d.

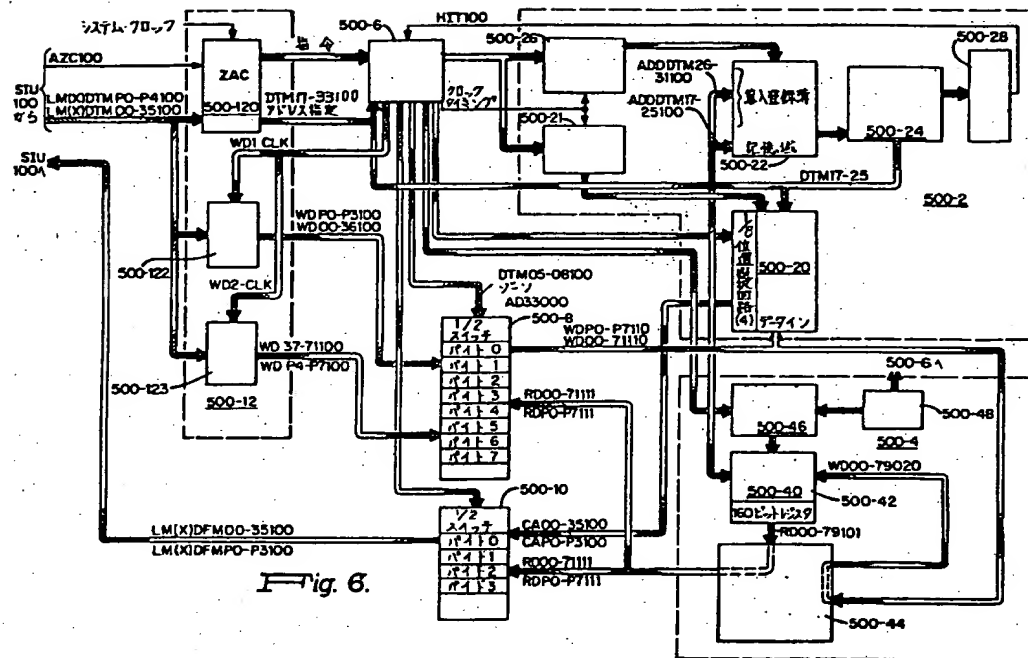


Fig. 6.

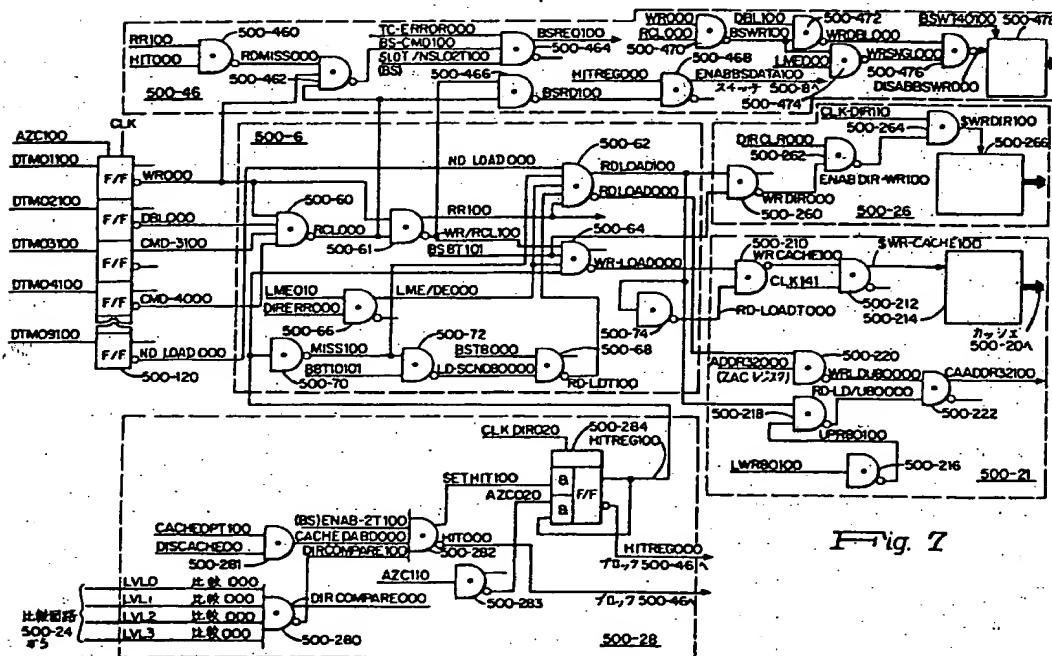


Fig. 7

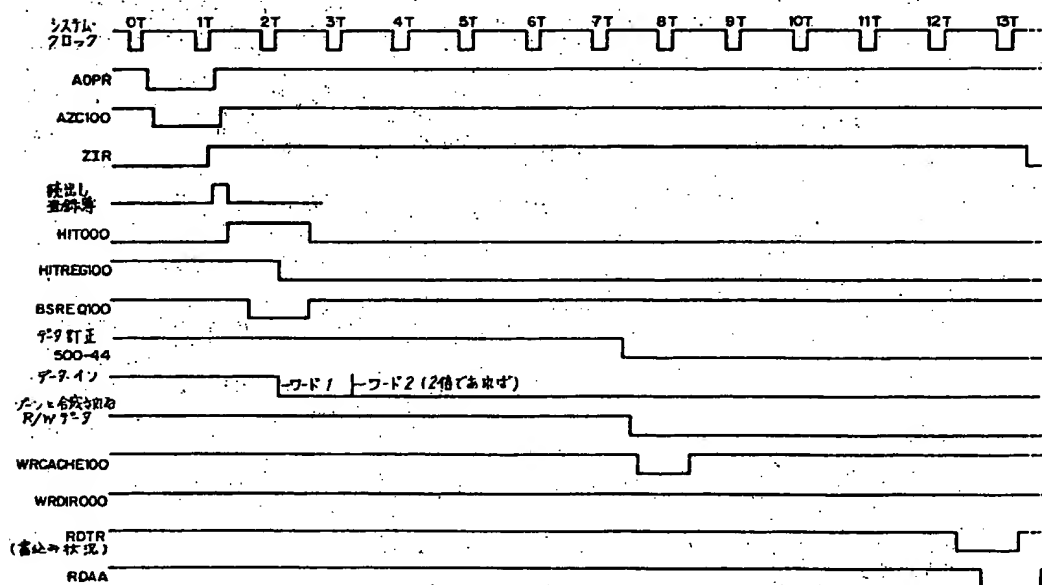
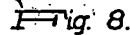


Fig. 9.

THIS PAGE BLANK (USPTO)